

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76334

(P2002-76334A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 29/78		H 0 1 L 21/205	5 F 0 4 0
21/205		29/78	3 0 1 B 5 F 0 4 5
29/786			6 1 8 B 5 F 1 1 0

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願2000-261776(P2000-261776)

(22) 出願日 平成12年8月30日 (2000.8.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 杉井 信之

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中川 清和

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

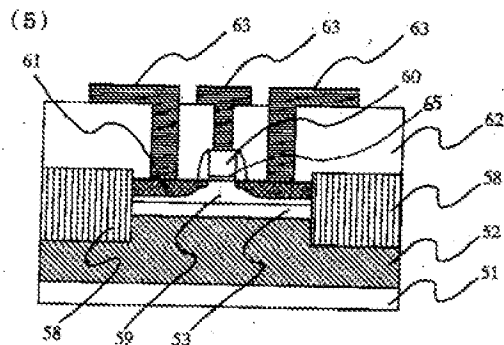
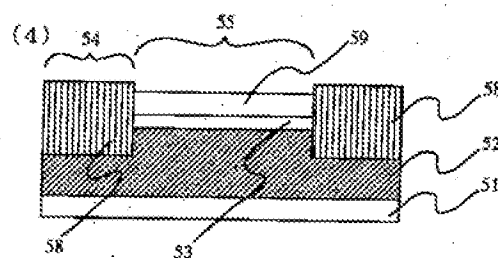
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 Siおよびこれと同族元素であるGe等の組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 SiGeの歪印加層とその上に堆積されたSiの歪半導体層との間の界面、又はSiの歪半導体層とその上のゲート絶縁層との間の界面の粗度を適切な値に小さくし、Siの歪半導体層にMOSFETを形成する。

図6



【特許請求の範囲】

【請求項1】 基板表面部に形成されたSiGe領域、上記SiGe領域上に形成された100nm以下の厚さのSi層、及び上記Si層の表面に絶縁膜を介して設けられたゲート電極からなり、上記Si層と上記絶縁膜との間の界面が少なくとも上記ゲート電極下の領域にわたって0.1平方ナノメートル以下の粗度パワー分布特性をもって平坦化されていることを特徴とする半導体装置。

【請求項2】 上記Si層と上記絶縁膜との間の界面が少なくとも上記ゲート電極下の領域にわたって0.02平方ナノメートル以下の粗度パワー分布特性をもって平坦化されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 基板表面部に設けられたSiGe領域の表面を化学機械研磨によって平坦化し、上記平坦化されたSiGe領域上にSi層を堆積し、しかる後上記Si層表面部に絶縁ゲート型トランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項4】 基板表面に設けられたSiGe領域の上に厚さが100ナノメートル以下の第1Si層を堆積し、上記堆積された第1Si層及びSiGe領域に部分的に絶縁物からなる回路素子分離領域を形成し、しかる後上記第1Si層の上部に厚さが100ナノメートル以下の第2Si層を堆積し、上記第2Si層に絶縁ゲートトランジスタを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項5】 基板表面部に形成されたSiGe領域、上記SiGe領域上に堆積された100nm以下の厚さを有しその表面部の不純物濃度が10の17乗/立方cm以下のSi層、及び上記Si層の表面上部に絶縁膜を介して設けられたゲート電極からなり、上記ゲート電極下の上記Si層の表面に800平方センチメートル/Vs以上のキャリア移動度を有するチャンネルが形成されてなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置、特に絶縁ゲートトランジスタを含む半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】 Si-MOS型電界効果トランジスタ(Si-MOSFET)を用いた半導体集積回路装置では、所謂スケールング則にのっとり、デバイス寸法の縮小や動作電圧の低減等を行うことにより、消費電力の低減と高速化を両立してきた。しかしながら、最近に至りゲート長が0.1マイクロメートル程度まで縮小されてくると、短チャンネル効果の問題やドレイン電圧としきい値電圧の近接による動作マージンの低下等多数の問題点が生じてきている。

【0003】 また、高速化の指標となる移動度に目を向

けると、上記のさまざまな改良が、実デバイスにおけるSiの移動度をさらに低下させるという皮肉な結果に陥っている。このように従来のSi-MOSFETではもはや性能向上がきわめて困難になってきている。

【0004】 これ以上の性能向上には、半導体材料そのものの改良で高速化を図る必要がある。本質的に高速である所謂化合物半導体を用いることは、ひとつの解ではあるものの、Si集積回路装置の製造技術との融合性の点で甚だ困難であり、かつ製造コストが膨大になるため現実的な解決策ではない。

【0005】 従って、Si及びこれと同族元素であるGe等の組合せを用いて、低消費電力で高速な電界効果トランジスタを有する半導体装置を提供することがより現実的である。

【0006】 具体的には、電界効果トランジスタのチャネルが形成されるチャネル形成層に歪印加半導体層により歪を印加せしめ、チャネル中のキャリアの移動度を無歪のチャネル形成層の材料より大きくすることにより達成できる。即ち、チャネル形成層の材料がSiの場合、歪印加によりSiチャネル形成層の面内の格子定数を無歪のSiより大きくするのである。

【0007】 Si或いはGeに歪を印加すると、歪を受けないSi或いはGeに比べてキャリアの移動度が増大することについては、M. V. Fischetti and S. E. Laux: J. Appl. Phys. 80 (1996)、2234に開示されている。

【0008】

【発明が解決しようとする課題】 Si層に歪を与える方法としては、Si基板上に十分な厚みのSi(1-x)Ge(x)のSiGe混晶膜を成長させ、更にその上にSi薄膜を成長させる方法がある。

【0009】 十分な厚みのSi(1-x)Ge(x)混晶膜を成長する際に、膜内に転移が発生すると同時にSi(1-x)Ge(x)混晶膜の成長面内格子定数が増大し、バルクSi(1-x)Ge(x)と同程度になる。即ち、Si基板とSi(1-x)Ge(x)膜との格子不整合が緩和される。こうして成長された格子緩和Si(1-x)Ge(x)膜の上にSi膜を成長するとそのSi膜は面内で2軸の引張歪を受けることになる。

【0010】 ところが、格子不整合の緩和の為にSi(1-x)Ge(x)混晶膜に転移が入ることは同時に膜表面の平坦性を著しく悪化させる結果に陥る。このように平坦性の悪化した表面に歪Si層を成長してMOSFETを作製しても、キャリアの散乱が増大するために歪による移動度増大の効果が相殺されてしまい、高性能素子製造に必要な微細なリソグラフィにも悪影響を与えてしまう。

【0011】 本発明が解決する第1の課題はデバイスの性能悪化を小さく留め、微細リソグラフィ工程を行うに必要な歪Si層を含む半導体装置を提供することにあ

る。

【0012】第2に、至Si層を含む半導体素子を製造する上で解決すべき課題は、製造時に至Si層に与える熱負荷をできるだけ低減させることである。半導体装置の主流である相補型電界効果トランジスタ回路装置の製造工程では、ウェル形成工程および素子分離工程において、多大な熱負荷が与えられる。従来用いられてきた単結晶Si基板においては問題のない熱負荷も、至Si層とSiGe歪印加層を含む半導体基板においては、SiGe歪印加層からのGeの拡散や至Si層の歪緩和といった問題が生じうる。従って、この熱負荷の影響を低減することが本発明の解決する第2の課題である。

【0013】また、短チャネル電界効果トランジスタで良好な特性を得るためにはチャネル領域深さ方向の不純物プロファイルが精密に制御されることが必要である。短チャネル化に伴って生じるパンチスルー電流を抑制するにはチャネル部の不純物濃度を高める必要があるが、これは同時にチャネルの実効移動度を低下させ特性向上の障害になる。そのため、チャネルが形成されるゲート絶縁膜界面付近の不純物濃度は低く、それより深い部分の不純物濃度は高くするといった、3次元的不純物プロファイルの制御が重要になる。

【0014】イオン注入法により三族元素と五族元素を異なる深さに注入する方法が考えられるが、従来用いられてきた単結晶Si基板においてはこの方法で不純物プロファイルの制御が比較的簡単に行えたが、至Si層とSiGe歪印加層を含む半導体基板においては、SiGe歪印加層のドーパントの異常拡散により不純物プロファイルの制御が困難になる。この問題を回避することが本発明の解決する第3の課題である。

【0015】本発明は上記1乃至3の課題を解決することを目的としてなされたものであり、短チャネル効果の問題を改良した高速動作可能な絶縁ゲートトランジスタ及びそれを用いた半導体集積回路装置を提供するものである。

【0016】また、本発明の他の目的はかかる半導体装置を再現性よく大量生産するに適した製造方法をも提供することである。

【0017】

【課題を解決するための手段】本発明は、上記したSi(1-x)Ge(x)混晶膜面の平坦性が素子特性に及ぼす影響に着目してなされたものである。

【0018】上記第1の課題を解決するために、本発明者等は前記層間の各界面の粗度とデバイス特性の相関につき試作検討を繰り返した結果、その界面を粗度パワー分布特性（これは、粗度の2次元パワースペクトル密度に相当する。）が所定の大きさ以下になるよう平坦化することの必要性を見出した。

【0019】特に、SiGe上の前記至Si層とゲート絶縁膜との間の界面の平坦性の粗度の影響が大であり、

この界面即ちSi層の平坦度の粗度パワー分布特性が所定の大きさ以下になるよう平坦化することの必要性を見出した。また、前記至Si層の厚みが50ナノメートル（nm）以下と薄い場合には前記SiGe歪印加層と至Si層との間の界面の粗度も同様に著しく影響を与えることが見出された。

【0020】粗度パワーの波長（これは表面の凹凸の周期に相当する）に対する分布を見たときに、ある波長において山（ピーク）を持ち、その周辺で緩やかに低下する分布を持つ。また、最大の粗度パワーを示す波長は試料の作成条件や表面研磨の条件に依存するが、具体的には、少なくともSi層とゲート絶縁膜との間の界面の平坦性が、波長成分が0.1ナノメートル（nm）から10マイクロメートル（μm）の範囲内における粗度パワーを0.1平方ナノメートル（平方nm）以下、望ましくは0.02平方ナノメートル（平方nm）以下、とすることによって良好な素子特性が得られることを見出した。更にまた、Si層とゲート絶縁膜との間の界面及びSiGe歪印加層とSi層との間の界面の両方の平坦性を上記数値の範囲にすれば、更に極めて良好な素子特性が得られることも見出した。

【0021】また、このような条件を満たす前記Si基板、Si(1-x)Ge(x)混晶膜（xは1より小さい正の値）の歪印加層、Si至半導体層の積層構造を有する半導体装置の製造においては、SiGe歪印加層をSi基板上に成長後に化学機械研磨法（CMP）によってその表面の平坦化を行うことが望ましいことを見出した。

【0022】上記第2の課題を解決するには、熱負荷を与えるプロセスを前記至Si層を形成する前に行うように製造工程を構築することが最良であるということの本発明者等は見出した。その具体的な方法は以下の通りである。

【0023】はじめに、前記Si基板上にSi(1-x)Ge(x)歪印加層、Si至半導体層の順に堆積された半導体基板を製造する。Si(1-x)Ge(x)歪印加層とSi至半導体層は超高真空排気化学気相成長法（UHV CVD）等の方法を用いて成長させることが望ましい。また、Si至半導体層はの場合無くてもかまわないが、化学的安定性の優れたSi層を最上表面にしておくために付けておくことが望ましい。SiGe歪印加層のGe量を意味するxは0から1の範囲内の任意の値が可能であるが歪量の点では0.3～0.4程度が望ましい。このxは膜厚方向に対して必ずしも一定である必要は無く、SiGe歪印加層の成長につれてxを大きくすることも歪印加層の貫通転位密度を減少させる効果があり望ましい。

【0024】また、前記半導体基板はこの組み合わせに限らず、例えば、Si基板とSiGe層との間にSiO₂などの絶縁体層が挿入された所謂SOI構造の歪印加基板であっても良い。

【0025】次に、ウェル形成工程を施す。イオン注入等の方法で上記Si層のN型トランジスタを形成する領域に三族元素をドーピングさせて導電型をP型とし、P型トランジスタを形成する領域に五族元素をドーピングさせて導電型をN型とする。堆積するSi層の導電型や抵抗率によってはどちらかの工程を省略することもある。

【0026】次に、この半導体基板に素子分離工程を施す。局所的熱酸化法（LOCOS）やトレンチ分離などの方法が適用可能である。素子分離工程で形成される絶縁体部分と素子の活性領域との高さの差や段差の形状を最適にすれば、後の工程でSi層を選択エピタキシャル成長したときに、端面での結晶核の異常形成やファセット成長などによりエピタキシャル成長層の品質劣化を防止でき、トランジスタの特性や素子分離特性を良好に保つことができる。

【0027】次に、ウェル形成工程、素子分離工程を経た半導体基板にSiをエピタキシャル成長させる。このSiの成長には、素子分離領域以外の活性領域にのみ選択的に成長させることが可能なUHVCVD法等を用いることが望ましい。

【0028】なお、上記ウェル形成工程を経た半導体基板の第1Si至半導体層には上記工程による熱負荷によりGeが拡散している場合があるので、Siのエピタキシャル成長によって第2Si層を形成する前に、第1Si層の一部あるいは大部分（場合によっては全部）をエッチングにより除去した方が望ましい。また、第2Si層の成長に先立ってSiGe層を成長することは表面汚染層を被覆することができ好ましい。

【0029】上記第2の課題を解決する製造方法を用いることにより、上記第3の課題も解決可能になる。即ち、前記ウェル形成工程においては第1Si層表面の不純物濃度が10の17乗/立方センチメートル以上になるようにイオン注入法と熱処理により不純物添加を行い、しかる後に、前記Siのエピタキシャル成長過程において、より低い不純物濃度が必要でしかも不純物プロファイルの精密制御が必要な工程を行って第2Si層を形成することが望ましい。

【0030】或いは、第2Si層を形成するためのSiのエピタキシャル成長過程の初期に不純物濃度が10の17乗/立方センチメートル以上になるように不純物添加を行い、その後不純物濃度が10の17乗/立方センチメートル以下になるように不純物添加を行えば良い。Siと不純物元素のみのエピタキシャル成長であるので、SiとGe両方を含む場合に比べて精密な不純物濃度制御が可能になる。なお、Siのエピタキシャル成長過程の初期に不純物濃度が10の17乗/立方センチメートル以上になるように不純物添加を行う工程は場合によっては省略して直ちに不純物濃度が10の17乗/立方センチメートル以下になるように不純物添加を行う

工程を行っても良い。

【0031】いずれにしても、絶縁ゲートトランジスタが形成される最上層のSi層表面部の不純物濃度を10の17乗/立方センチメートル以下とすることが望ましい。

【0032】前記Si(1-x)Ge(x)歪印加層により与えられる歪が緩和されないようにするために、前記Si至半導体層（第1のSi層）およびエピタキシャルSi層（第2のSi層）の厚みをそれぞれ1～100ナノメートル（nm）の範囲にし、さらには両層の厚みの和が1～100ナノメートル（nm）の範囲にすることが望ましい。

【0033】かかる本発明によれば、基板表面部に形成された平坦な表面を有するSiGe領域、上記SiGe領域上に堆積された100nm以下の厚さを有しその表面部の不純物濃度が10の17乗/立方cm以下のSi層、及び上記Si層の表面上部に絶縁膜を介して設けられたゲート電極からなり、上記ゲート電極下の上記Si層の表面に800平方センチメートル/Vs以上のキャリア移動度を有するチャネルが形成された半導体装置を実現することができる。

【0034】

【発明の実施の形態】実施例1

はじめに、本発明の第1の課題を解決するために必要なSi層とゲート絶縁膜との間の界面及び、SiGe歪印加層とSi層との間の界面の程度とデバイス特性の相関について実例を挙げて説明する。

【0035】まず、試験デバイスの作製方法を説明する。はじめにSi基板上にSi(1-x)Ge(x)歪印加層を超高真空排気化学気相成長法（UHVCVD）により成長する。この歪印加層の成長により荒れた表面を化学機械研磨（CMP：Chemical Mechanical Polishing）技術により平坦化する。

【0036】更に、種々の試料を作成するために、得られた一部の試料は化学処理等により再び表面を粗面化し、歪印加層の表面荒さを所望の値に制御する。次に、これら表面荒さの異なるSiGe歪印加層上にSi至半導体層をUHVCVD法により成長する。再びCMPにより表面を平坦化し、さらに一部の試料は化学処理により再び粗面化し、Si至半導体層の表面荒さも所望の値に制御する。

【0037】なお、SiGe歪印加層の厚みは3マイクロメートル、Si至半導体層の厚みは25ナノメートルとし、SiGe歪印加層のGe含有量xははじめの2マイクロメートルの厚さまで0から0.3と膜厚方向に対して連続的に増加させ、残りの1マイクロメートルの厚さでは0.3の一定値とした。

【0038】次に、これらの試料にゲート熱酸化によるゲートSiO₂膜の形成、ポリシリコン膜のCVD、ドライエッチングによるゲート領域の形成、ソースドレイ

ン領域への不純物イオン注入、層間絶縁膜形成、コンタクトホール形成、配線形成の諸プロセスを順次経由させて試験用の種々のMOSFETを作製した。

【0039】SiGe歪印加層とSi歪半導体層との間の界面の粗度の評価は、Si歪半導体層形成直前の試料表面荒さを原子間力顕微鏡（AFM）で観察し、ASTM E 42.14 STM/AFM分科委員会勧告に準ずるパワースペクトル計算方法により行った。これは Power Spectral Density (PSD) と称され、画像を対象にその画像のFFT（高速フーリエ変換）を二乗してそのパワーP（単位：平方nm）を求めるものである。

【0040】また、Si歪半導体層とゲート絶縁層との間の界面の粗度の評価は、ゲート熱酸化を行った後にゲート絶縁膜を化学エッチングにより除去し、同じくAFMを用いて表面荒さを測定することにより行った。

【0041】図1にSiGe歪印加層とSi歪半導体層界面の表面の凹凸に相当する波長分布に対する粗度のパワーを測定した特性図（パワースペクトルとも称する）を示す。図中で符号11から14で示されるように4種類の粗度に制御した。図2にはSi歪半導体層とゲート絶縁層界面の粗度のパワースペクトルを示す。こちらも同様に符号21から24で示される4種類の粗度に制御した。本実施例で示す16種類の試料に対する粗度の組合せを表1に示す。

【0042】

【表1】

【表1】

試料名	粗度1	粗度2
A	11	21
B	11	22
C	12	21
D	12	22
E	11	23
F	11	24
G	12	23
H	12	24
I	13	21
J	13	22
K	14	21
L	14	22
M	13	23
N	13	24
O	14	23

【0043】なお、上記表中で粗度1はSiGe歪印加層とSi歪半導体層界面の粗度を、粗度2はSi歪半導体層とゲート絶縁層（SiO₂膜）界面の粗度を示すものであり、数字11～14及び21～24はそれぞれ図1及び図2中に付した特性曲線の番号を表わしている。

【0044】これら異なる界面粗度を持つ試料の電気的

特性を図3に示す。図3の縦軸はMOSFETのドレイン電流特性より算出した室温（27℃）での実効移動度を示し、横軸はゲート電圧印加に伴って発生する電界強度を示している。界面におけるキャリアの散乱が少ないほど、実効移動度は高い値を示す。

【0045】この図3より、試料A～Dのように両方の界面の粗度が大きい試料の移動度が最も低く、試料M～Pのように両方の粗度が小さい試料の移動度が最も高くなる。歪印加層と歪半導体層界面が歪半導体層と絶縁膜界面のどちらかが粗である試料E～Lも移動度が低下するが、両方とも粗である場合よりも特性が改善されている。

【0046】すなわち、どちらの界面もMOSFETのチャネル移動度を散乱により低下させることがわかる。本実施例の図ではSi歪半導体層の厚みが25ナノメートル（nm）の場合のみを示したが、これ以外の多数の試料を検討した結果から、Si歪半導体層の厚みが50ナノメートル（nm）を超えると、SiGe歪印加層とSi歪半導体層界面の粗度が移動度に与える影響がかなり小さくなることが明らかになった。また、移動度に与える影響を小さくするために必要な粗度は、SiGe歪印加層とSi歪半導体層界面、Si歪半導体層とゲート絶縁体（SiO₂膜）界面のいずれかの界面において、粗度パワーが0.1nmから10μmの波長範囲にわたって0.1平方ナノメートル以下、望ましくは0.02平方ナノメートル以下、であることが明らかになった。

【0047】即ち、ゲート絶縁膜とSi層との界面及びSiGe層とSi層との界面のいずれかを上記範囲内の粗度パワーを持った平坦度とすることによって、図3中の試料E～L特性曲線に示すようにゲート絶縁膜への電界強度が3×10の5乗～5×10の6乗V/cmの実用範囲でチャネル部の移動度が400平方センチメートル/Vs以上のMOSFETが再現性よく得られる。

【0048】また、SiGe層とSi層との界面を予め上記範囲内の粗度パワーを持った平坦度としておくことによって、その上に堆積された100nm以下の薄いSi層の平坦度即ちゲート絶縁膜とSi層との界面の平坦度も上記範囲内の粗度パワーとすることが判った。

【0049】また、上記両方の界面の平坦度を上記数値の範囲内にすることによって、図3中の試料M～P特性曲線に示すようにゲート絶縁膜への電界強度が3×10の5乗～5×10の6乗V/cmの実用範囲でチャネル部の移動度が800平方センチメートル/Vs以上の極めて優れたMOSFETが再現性よく得られる。

【0050】上記粗度パワーの数値範囲を図4に示す。図4でハッチングを施してある領域およびそれ以下（下側）に試料の粗度があれば、散乱による移動度の低下が無視できるほど小さくなる。粗度の波長範囲が10マイクロメートル以下、0.1ナノメートル以上になっている理由は、前者はこれ以上大きな周期のうねりが表面に

あってもデバイスの寸法よりも大きいため、特性にほとんど影響しないためであり、後者はこれ以上短い周期の間凸が表面にあっても電子の波動関数よりかなり小さくなるために電子波の散乱に影響しないためである。

実施例2

次に、第2および第3の課題を解決するために行った半導体装置の製造工程の実例を以下に示す。各工程での半導体装置の断面図を図5の(1) (2) (3) 及び図6の(4) (5) に示す。

【0051】はじめに、Si基板51上にSi(1-x)Ge(x)を至印加層52をUHVCVD法により成長する。SiGe至印加層52の成長によって荒れたその表面をCMPにより平坦化する。

【0052】次に、SiGe至印加層52上に第1のSi層(至半導体層)53をUHVCVD法により成長する。なお、SiGeの至印加層52の厚みは3マイクロメートル、Siの至半導体層53の厚みは25ナノメートルとし、至印加層52のGe含有量xは初めの2マイクロメートルの厚さでは0から0.3まで膜厚方向に対して連続的に増加させ、残りの1マイクロメートルの厚さでは0.3の一定値とした。以上の工程で図5の(1)に示すように、至半導体基板が準備される。

【0053】次に、この半導体基板にウェル形成工程を施す。フォトリソグラフィによりP型トランジスタを形成する領域以外をレジストで覆い、リンをイオン注入させて導電型をN型とする。同様に、N型トランジスタを形成する領域以外をレジストで覆い、ホウ素をイオン注入させて導電型をP型とする。またこれらの工程では、前記第3の課題を解決するために、表面の不純物濃度が10の17乗毎立法センチメートル以上に高くなるようにして、短チャネル素子のパンチスルー発生を抑制させる。

【0054】次に、この半導体基板に素子分離領域54を形成する。素子分離領域54と活性領域55の段差を制御するためにSi至半導体層53の表面に熱酸化膜(SiO₂膜)56を形成し、その上に非晶質Si薄膜57を堆積し、フォトリソグラフィにより素子分離領域54の表面以外をレジストで覆った後、反応性イオンエッチング法により溝50(トレンチ)を掘る。さらにレジストを除去した状態を図5の(2)に示す。

【0055】次に、TEOS-CVD法によりSiO₂膜58を上記トレンチに埋め込み、CMPによりそれら表面の平坦化を行う。この状態を図5の(3)に示す。

【0056】更に、非晶質Si薄膜57を反応性イオンエッチングで除去し、熱酸化膜56を除去し露出した第1Si層(至半導体層)53の表面をエッチング乃至清浄化した後に、UHVCVD法によりSiをエピタキシャル成長させ第2Si層59を形成する。このとき、前記第3の課題を解決するために、この第2Si層59の少なくとも表面領域部分の不純物濃度を10の17乗／

立法センチメートル以下になるように制御する。この状態を図6の(4)に示す。

【0057】次に、P型トランジスタ領域、N型トランジスタ領域それぞれ独立に、しきい値電圧調整用、パンチスルー抑制用のイオン注入を適宜行う。

【0058】以降は、通常のCMOSトランジスタ製造プロセスにより、ゲート熱酸化膜(SiO₂膜)65の形成、ポリシリコン膜のCVDとドライエッチングによるゲート電極60の形成、不純物イオン注入によるソース・ドレイン領域61の形成、層間絶縁膜62の形成、コンタクトホール63の形成を行い、本発明に係わる半導体装置が完成する。その完成状態の断面図を図6の(5)に示す。

【0059】以上のプロセスを経て完成したトランジスタは、SiGeの至印加層52によりその上のSiのチャネル形成領域53に至が印加されていること、適切なCMPによりそれらの界面の粗度即ち平坦度が適切に制御されていること、即ち、SiGe至印加層とSi至半導体層との界面とSi至半導体層とゲート絶縁体(SiO₂膜)との界面の少なくとも一方の界面において、粗度パワーが0.1nmから10μmの波長範囲にわたって0.1平方ナノメートル以下、望ましくは0.02平方ナノメートル以下、としたこと、ウェル形成や素子分離工程の後にSiエピタキシャル成長層59(この層はその表面の上部にゲート電極が形成されるのでトランジスタの活性領域乃至チャネル形成領域として機能する)を不純物濃度を制御して形成して短チャネル効果と不純物による移動度の低下を抑制したことによって、同様のプロセスを施した通常のSi基板による素子に比べて2倍以上の電流駆動能力と高い動作速度を実現することができる。

【0060】このような本発明を適用して半導体集積回路を製造することによって、高速化、高集積化、高性能化が図れるのでその工業的価値は極めて高い。

【0061】以上の実施例で説明したように、基板としてSiウエーハを使用してすれば通常のICやLSIの製造工程と本発明の製造工程とを適宜組み合わせることによって、通常のICやLSIと一体化したより高性能なLSIを実現することができる。

【0062】また、前記したことから理解されるように本発明によれば、P型チャネルのMOSFETであってもN型チャネルのMOSFETであってもそのチャネル部のキャリア移動度が400平方cm/Vs以上のもの、更には800平方cm/Vs以上のものを再現性よく作ることができるので、特に低消費電力での高速動作が要求されるCMOSタイプの半導体集積回路装置を実現することができる。

【0063】また、その場合Pチャネル型、Nチャネル型の両MOSFETの移動度を上記所定の値に揃え

ることも可能となるので、高性能で複雑な機能を果たすCMOSLSIの回路設計もし易くなり、キャリア移動度特性の揃ったCMOSLSIが可能となる。

【0064】

【発明の効果】本発明によれば、Siの歪半導体を導入することによる界面粗面化に伴う散乱を抑制し、高速かつ低消費電力の相補型電界効果トランジスタ及びそれらで構成した特性の優れた半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係わるSiGe歪印加層とSi歪半導体層との間の界面の粗度のパワースペクトル特性図である。

【図2】本発明に係わるSi歪半導体層とゲート絶縁層との間の界面の粗度のパワースペクトル特性図である。

【図3】本発明の実施例1での異なる界面粗度を有する種々の試料の移動度特性を示す特性図である。

【図4】本発明の実施例1での良好な移動度特性を得るに必要な、SiGe歪印加層とSi歪半導体層界面、及びSi歪半導体層とゲート絶縁層界面の粗度の領域を説明するための特性図である。

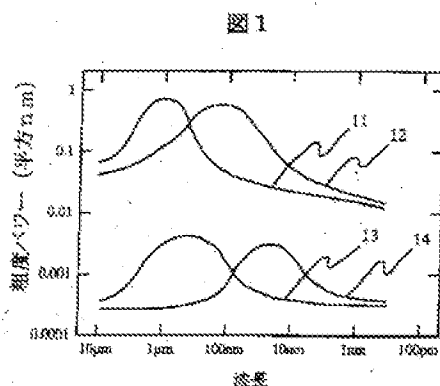
【図5】本発明の実施例2に示した電界効果トランジスタの製造工程を示す断面図である。

【図6】本発明の実施例2に示した電界効果トランジスタの製造工程を示す断面図である。

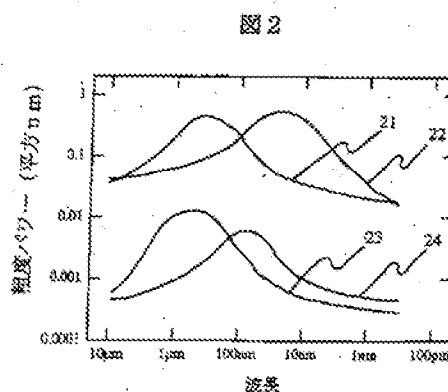
【符号の説明】

50…トレンチ、51…Si基板、52…SiGe歪印加層、53…第1Si層（歪半導体層）、54…素子分離領域、55…活性領域、56…熱酸化膜、57…非晶質Si薄膜、58…SiO₂トレンチ埋め込み膜、59…第2Si層（Siエピタキシャル成長層）、61…ソース・ドレイン半導体領域、60…ゲート電極、65…ゲート絶縁膜。

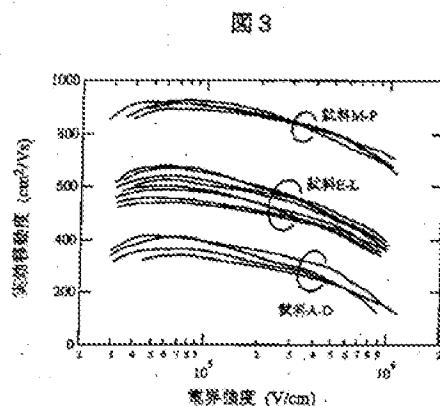
【図1】



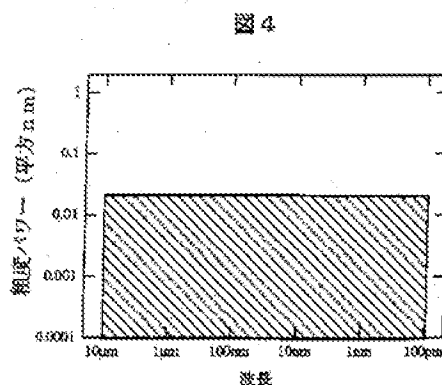
【図2】



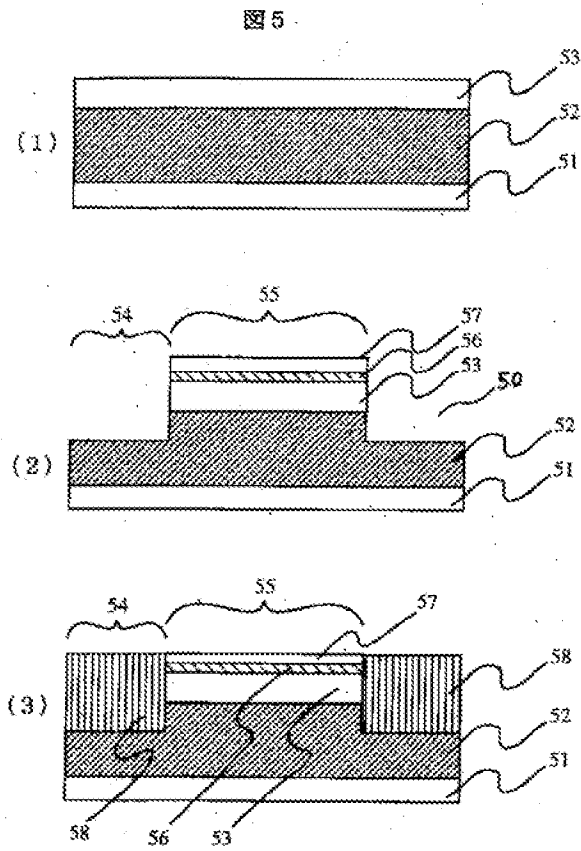
【図3】



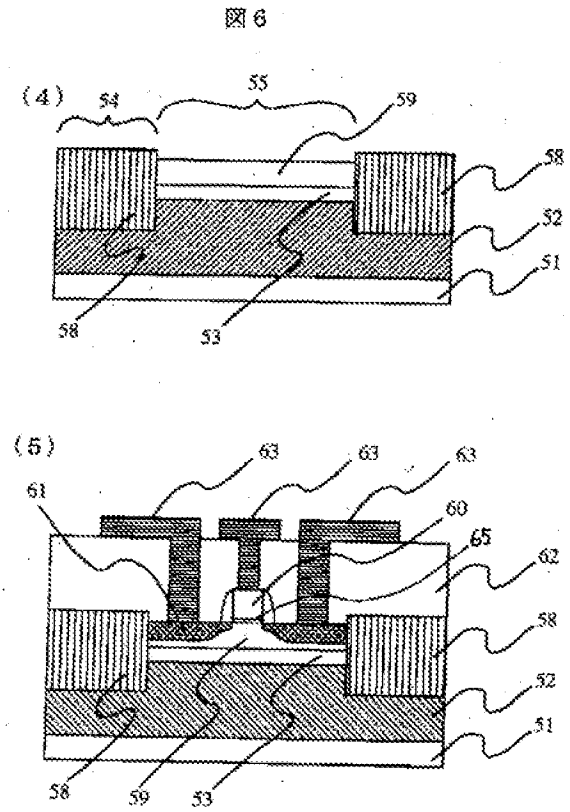
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 山口 伸也
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 朴 成基
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA01 DA02 DB03 DC01 EC07
EE06 EK05 EM10 FA03 FC05
FC10 FC21
5F045 AA07 AB01 AB02 AF03 CA05
DA52 GH10 HA12 HA15
5F110 AA01 AA09 BB04 CC02 DD05
DD13 EE09 EE45 FF02 FF23
GG01 GG02 GG19 GG24 GG44
GG52 HJ13 NN02 NN62 NN65

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-164520
(P2002-164520A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 27/12		H 0 1 L 27/12	B
21/02		21/02	B

審査請求 未請求 請求項の数6 O L (全 6 頁)

(21) 出願番号 特願2000-358783(P2000-358783)

(22) 出願日 平成12年11月27日(2000.11.27)

(71) 出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72) 発明者 曲 偉峰

群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内

(72) 発明者 木村 雅規

群馬県安中市磯部2丁目13番1号 信越半
導体株式会社半導体磯部研究所内

(74) 代理人 100080230

弁理士 石原 昭二

(54) 【発明の名称】 半導体ウェーハの製造方法

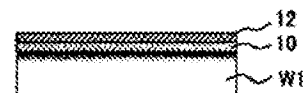
(57) 【要約】

【課題】 比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないS i層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハの製造方法を提供する。

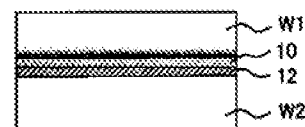
【解決手段】 第1のシリコン単結晶ウェーハの表面にS i G e層をエピタキシャル成長する工程と、該S i G e層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するS i層を露出させる工程と、を有するようにした。

(a) 第1及び第2
S iウェーハ用意(b) 第1S iウェーハの
表面にS i G e層成長

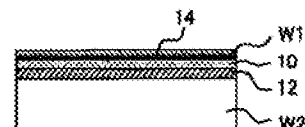
(c) S i G e層表面酸化



(d) 第2S iウェーハと結合



(e) 第1S iウェーハの薄膜化



【特許請求の範囲】

【請求項1】 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする半導体ウェーハの製造方法。

【請求項2】 第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面、または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする半導体ウェーハの製造方法。

【請求項3】 前記剥離する工程により剥離され前記第2のウェーハに移動した前記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理あるいはこれらを組み合わせて平坦化する工程を有することを特徴とする請求項2に記載された半導体ウェーハの製造方法。

【請求項4】 前記微小気泡層を、前記第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することを特徴する請求項2または請求項3に記載された半導体ウェーハの製造方法。

【請求項5】 前記酸化膜を前記SiGe層の表面に熱酸化により形成することを特徴とする請求項1から請求項4のいずれか1項に記載された半導体ウェーハの製造方法。

【請求項6】 前記第2のウェーハとして、シリコン単結晶ウェーハを用いることを特徴とする請求項1から請求項5のいずれか1項に記載された半導体ウェーハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、格子歪みを内在するシリコン層を有する半導体ウェーハの製造方法に関する。

【0002】

【関連技術】 シリコン単結晶を用いた半導体デバイスの性能を向上させるための一手法として、シリコン単結晶中の電子の移動度を高めることが有効である。そこで、通常の格子定数（約 5.43 \AA ）を有するシリコン単結晶に引張り歪みを内在させた歪みシリコン層（以下、歪みSi層と称する。）を、例えばnチャネルMOSトランジスタの活性層に用いることによりキャリアの移動度を向上させ、高速動作を可能にするデバ

イスなどが検討されている。

【0003】 このような歪みSi層を有する半導体ウェーハの製造方法は、例えば、特開平9-180999号公報や特開平11-233440号公報に記載されている。これらの技術はいずれもSiよりも格子定数の大きなSiGe層上にSi層をエピタキシャル成長させることにより歪みSi層を形成するものであり、十分に格子緩和されたSiGe層を用いてSi層に歪みを発生させること、および、SiGe層中に転位を発生させないようにして歪みSi層の成長時に転位を伝播させないこと、という2つの課題を解決するものであった。

【0004】

【発明が解決しようとする課題】 しかしながら、前記2つの方法は、少なくとも2回の薄膜成長プロセス（エピタキシャル成長やスパッタ法など）を伴うものであり、必ずしも簡便な方法とは言えなかった。これについて下記に詳述する。

【0005】 まず、特開平9-180999号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪みSi層/SiGe層/Ge層/Si層/SiO₂層/Si基板という構造を有するものであり、その製造プロセスは、図3に示す様に、SOIウェーハの作製（ステップ100）→Si層エピタキシャル層（ステップ102）→Ge層成長（ステップ104）→SiGe層成長（ステップ106）→格子緩和熱処理（ステップ108）→歪みSi層成長（ステップ110）であり、4回ものエピタキシャル成長を伴うものであった。

【0006】 また、特開平11-233440号公報に記載された半導体ウェーハは、ウェーハ表面から順に、歪みSi層/CaF₂層/（SiGe層）/Si基板という構造を有するものであり、その製造プロセスは、図4に示す様に、Siウェーハ用意（ステップ200）→CaF₂層のスパッタ法による堆積（ステップ202）→（SiGe層成長）（ステップ204）→歪みSi層成長（ステップ206）であり、こちらの場合も、少なくとも2回の薄膜成長を伴うものであり、また、CaF₂といった特殊な層を形成するものであった。

【0007】 このように、従来の方法では多くのプロセスを伴った複雑な積層構造から構成されるものであったため、その製造コストが高く汎用性に欠けていた。

【0008】 本発明は、このような問題点を解決するためになされたものであり、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することのできる半導体ウェーハの製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するため、本発明の半導体ウェーハの製造方法の第1の態様

は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面と第2のウェーハの表面とを酸化膜を介して結合する工程と、該第2のウェーハと結合された該第1のシリコン単結晶ウェーハを薄膜化して格子歪みを内在するSi層を露出させる工程と、を有することを特徴とする。

【0010】本発明の半導体ウェーハの製造方法の第2の態様は、第1のシリコン単結晶ウェーハの表面にSiGe層をエピタキシャル成長する工程と、該SiGe層の表面または第2のウェーハの表面の少なくとも一方に酸化膜を形成する工程と、該SiGe層を通して第1のシリコン単結晶ウェーハに水素イオンまたは希ガスイオンの少なくとも一方を注入して微小気泡層を形成する工程と、該前記酸化膜を介して該第1のシリコン単結晶ウェーハと第2のウェーハとを結合した後、該微小気泡層で該第1のシリコン単結晶ウェーハを剥離する工程と、を有することを特徴とする。

【0011】上記第2の態様において、上記剥離する工程により剥離され上記第2のウェーハに移動した上記第1シリコン単結晶ウェーハ薄膜の剥離面を、研磨または熱処理、あるいはこれらを組み合わせて平坦化する工程をさらに設けるのが好ましい。上記微小気泡層は、第1のシリコン単結晶ウェーハの格子歪みを有する領域に形成することができる。

【0012】上記第1及び第2の態様において、上記酸化膜は上記SiGe層の表面に熱酸化により形成されるのが好ましい。上記第2のウェーハとしては、シリコン単結晶ウェーハを用いることが好ましい。

【0013】

【発明の実施の形態】以下に本発明の実施の形態を添付図面を用いて説明するが、本発明の技術思想から逸脱しない限り図示例以外にも種々の変形が可能なることはいまでもない。

【0014】（第1の実施の形態）図1に本発明の第1の実施の形態である半導体ウェーハの製造フローを示した。図1に示された製造フローは、基本的には2枚のシリコンウェーハを用いて貼り合わせ法によりSOIウェーハを製造する際の通常の製造フローに、SiGe層を成長する工程（b）を加えただけのものである。

【0015】まず、最終的に歪みSi層の材料となる第1及び第2のSiウェーハW1、W2を用意する（図1（a））。このSiウェーハW1は、単結晶シリコンであれば特に限定はされず、CZ法やFZ法で作製されたSiウェーハを用いることができる。ただし、デバイスを形成する歪みSi層の品質を高めるため、少なくとも用いるウェーハの表面近傍には結晶欠陥が少ないものを用いることが好ましい。具体的には、熱処理によりウェーハ表面近傍にDZ層を形成したウェーハや、CZ法の引き上げ条件を調整することにより、単結晶中のいわゆるGrown-in欠陥を低減（あるいは消滅）させたウェーハ

や、FZウェーハなどが好適である。

【0016】次に、前記第1のSiウェーハW1の表面にSiGe層10をエピタキシャル成長により形成する（図1（b））。SiGe層10の形成には、例えば分子線エピタキシャル成長装置や超高真空化学気相成長（UHV-CVD）装置などを用いることができる。

【0017】形成するSiGe層10のGe組成は10～40%程度が好ましい。10%未満では十分な引張り歪みを有する歪みSi層が形成されず、40%を超えるとSiウェーハW1とSiGe層10の格子定数の差によりSiGe層10にミスフィット転位が発生しやすくなるため、最終的に形成される歪みSi層の結晶性に悪影響を及ぼす。また、SiGe層10の厚さは10nm～1μm程度が好ましい。10nm未満では十分な引張り歪みを有する歪みSi層が形成されず、1μmを超えると寄生容量の増加等により歪みSi層に形成されるデバイス特性が悪化する。尚、上記の工程により第1のSiウェーハW1上に格子定数の異なるSiGe層10が形成されても、第1のSiウェーハW1の厚み効果により、第1のSiウェーハW1側に転位が発生することはない。

【0018】次に、SiGe層10の表面に酸化膜12を形成する（図1（c））。酸化膜の形成は通常の熱酸化法を用いてもよいし、CVD法により堆積してもよい。熱酸化法を用いると、SiGe層10表面には化学的に安定なSiO₂層12が形成され、余分なGe原子がSiGe層10にはじき出されSiGe層10中のGe濃度が高くなる。従って、ミスフィット転位の発生を抑制する目的でエピタキシャル成長の際のGe組成を比較的低くした場合であっても、SiGe層10表面を熱酸化することにより最終的に形成される歪みSi層の引張り歪みを高めることができる。また、十分な引張り歪みを得るために、熱酸化と酸化膜除去を繰り返し行ってもよい。

【0019】次に、SiGe層10表面に形成した酸化膜12と第2のSiウェーハW2の表面を密着させ、後の薄膜化工程に耐え得る結合強度になるように熱処理を行う（結合熱処理、図1（d））。熱処理条件は、後の薄膜化工程に耐え得る条件であれば特に限定されないが、薄膜化を研削、研磨により行う場合には、800～1200℃で0.5～5時間程度行うことが好ましい。

【0020】最後に第1のSiウェーハW1を薄膜化して歪みSi層14を露出させる（図1（e））。歪みSi層14の厚さは、1～100nm程度が好ましい。100nmを超えるとSiGe層10による引張り歪みが内在しなくなる恐れがあり、1nm未満では良好なデバイス特性が得られない上、加工も困難である。

【0021】Si層14の薄膜化手法としては、研削、研磨のほか、酸やアルカリ水溶液を用いたウェットエッチング、プラズマを利用した気相エッチング、ラッピング

グ、あるいは、スライスにより2分割にした後、研磨する手法などを挙げることができる。これらの薄膜化手法によっては、薄膜化の前に行う結合熱処理を省略したり、接着剤等を使用して結合することもできる。

【0022】(第2の実施の形態)図2に本発明の第2の実施形態である半導体ウェーハの製造フローを示した。図2に示された製造フローは、基本的には2枚のシリコンウェーハを用いて、イオン注入剥離法(水素イオン剥離法、スマートカット法(登録商標)とも呼ばれる。)によりSOIウェーハを製造する際の製造フローに、SiGe層を成長する工程(b)を加えただけのものである。尚、図2におけるSiGe層の表面を酸化する工程まで[図2(a)~図2(c)]は、図1(a)~図1(c)と同一工程であるので再度の説明は省略する。

【0023】SiGe層10の表面に形成された酸化膜12の表面側から、酸化膜12およびSiGe層10を通して水素イオンまたは希ガスイオンの少なくとも一方(図2(d)では水素イオン16)を注入することにより、第1のSiウェーハW1中に微小気泡層18を形成する[図2(d)]。

【0024】微小気泡層18が形成される位置(深さ)は水素イオン16の注入エネルギーにより決まり、その微小気泡層18を境界として後の剥離熱処理により剥離を発生させるためには、 $1 \times 10^{15} / \text{cm}^2$ を超える注入線量(例えば $5 \times 10^{16} / \text{cm}^2$)が必要とされる。剥離して形成される多層構造のウェーハの最表面のSi層表面が確実に格子歪み(引張り歪み)を有する様にするためには、前記微小気泡層18を第1のSiウェーハW1の格子歪みを有する領域(第1のSiウェーハW1の表面から100nm以下の領域)に形成することが好ましい。

【0025】次に、SiGe層10表面に形成した酸化膜12と第2のSiウェーハW2の表面を密着させ[図2(e)]、500℃以上の熱処理(剥離熱処理)を加えることにより、前記微小気泡層18で剥離を生じさせる[図2(f)]。その後、必要に応じてさらに高温での結合熱処理を行うことにより結合強度を高めてもよい。また、最近では、イオン注入剥離法の一つではあるが、注入される水素イオンを励起してプラズマ状態で注入することにより剥離熱処理を行うことなく、室温で剥離を行う方法も開発されているので、この方法を用いる場合には剥離熱処理を省略することができる。

【0026】剥離後の歪みSi層14の表面は鏡面ではあるが若干の面粗さを有しているので、タッチポリッシュと呼ばれる研磨代の極めて少ない研磨を行い平坦化する[図2(g)]。タッチポリッシュの代わりに、アルゴンガスや水素ガス雰囲気中で熱処理することにより平坦化する手法や、これらを組み合わせて平坦化することも可能である。

【0027】熱処理条件としては、通常の抵抗加熱式熱処理炉を用いる場合には、1100~1300℃、0.5~5時間程度の熱処理が好適であり、RTA(Rapid Thermal Annealing)装置を用いる場合には、1100~1350℃、1~120秒程度の熱処理が好適である。また、これらを組み合わせて熱処理を行うこともできる。

【0028】尚、図1および図2に示した実施の形態では第1のSiウェーハW1のSiGe層10の表面に酸化膜12を形成する場合を例示したが、第2のSiウェーハW2に酸化膜を形成してもよいし、第1及び第2のSiウェーハ双方に酸化膜を形成してもよい。また、第2のSiウェーハW2として、抵抗率が1000Ωcm以上の高抵抗率ウェーハを用いることにより、高周波特性に優れ、移動体通信用の半導体ウェーハとして用いることができる。さらに第2のウェーハW2としては、石英基板、サファイア基板、SiC、窒化アルミニウム基板等の絶縁性基板を用いることもできる。

【0029】

【実施例】以下に実施例をあげて本発明をさらに具体的に説明するが、これらの実施例は限定的に解釈すべきでないことは勿論である。

【0030】(実施例1:第1の実施の形態に対応)図1に示した第1の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

【0031】1. 使用ウェーハ(第1および第2ウェーハの用意)[図1(a)]

直径200mm、p型、結晶方位<100>、10Ωcm

【0032】2. 第1ウェーハの表面にSiGe層成長(UHV-CVD装置)[図1(b)]

原料ガス: GeH_4 、 Si_2H_6

成長温度: 700℃

SiGe組成: $\text{Si}_{0.7}\text{Ge}_{0.3}$

成長層厚: 150nm

【0033】3. SiGe表面酸化[図1(c)]

酸化条件: 800℃、パイロジェニック酸化

酸化膜厚: 100nm

【0034】4. 結合工程[図1(d)]

両ウェーハを室温で密着させ1000℃、2時間の熱処理(酸化性雰囲気)

【0035】5. 薄膜化[図1(e)]

平面研削: 第1Siウェーハ厚が約20μmになるまで研削。

鏡面研磨: 第1Siウェーハ厚が約4μmになるまで研磨。

PACE(Plasma Assisted Chemical Etching)法による気相エッチングにより第1Siウェーハ厚が約100nmになるまで薄膜化(PACE法は第2565617号特許に記載された技術)。

【0036】（実施例2：第2の実施の形態に対応）図2に示した第2の実施の形態の手順に従って下記条件で十分な格子歪みを有する半導体ウェーハを製造した。

【0037】1. 使用ウェーハ（第1および第2ウェーハの用意）〔図2（a）〕

直径200mm、p型、結晶方位<100>、 $10\Omega\text{cm}$

【0038】2. 第1ウェーハの表面にSiGe層成長（UHV-CVD装置）〔図2（b）〕

原料ガス： GeH_4 、 Si_2H_6

成長温度：700℃

SiGe組成： $\text{Si}_{0.85}\text{Ge}_{0.15}$

成長層厚：120nm

【0039】3. SiGe表面酸化〔図2（c）〕

酸化条件：800℃、パイロジェニック酸化

酸化膜厚：100nm

【0040】4. 水素イオン注入〔図2（d）〕

H^+ イオン注入条件：35keV、 $8 \times 10^{16}/\text{cm}^2$

【0041】5. 剥離工程〔図2（e）及び（f）〕

両ウェーハを室温で密着させ、500℃、30分の熱処理（窒素雰囲気）により剥離。剥離後の多層ウェーハの最表面Si層の厚さ約130nm。

【0042】6. 結合熱処理

800℃、2時間、窒素雰囲気

【0043】7. タッチポリッシュ〔図2（g）〕

研磨代約30nm

【0044】

【発明の効果】以上述べたごとく、本発明によれば、比較的単純な積層構造にもかかわらず、電子の移動度を高めるのに十分な格子歪みを有し、かつ、結晶欠陥の少ないSi層を有する半導体ウェーハを簡便な製造プロセスにより製造することができるという効果が達成される。

【図面の簡単な説明】

【図1】本発明方法の第1の実施形態を示すフローチャートである。

【図2】本発明方法の第2の実施形態を示すフローチャートである。

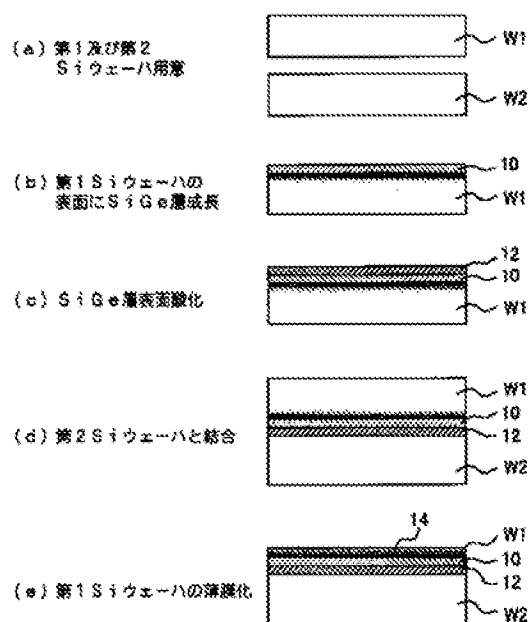
【図3】従来の半導体ウェーハの製造方法の一例を示すフローチャートである。

【図4】従来の半導体ウェーハの製造方法の他の例を示すフローチャートである。

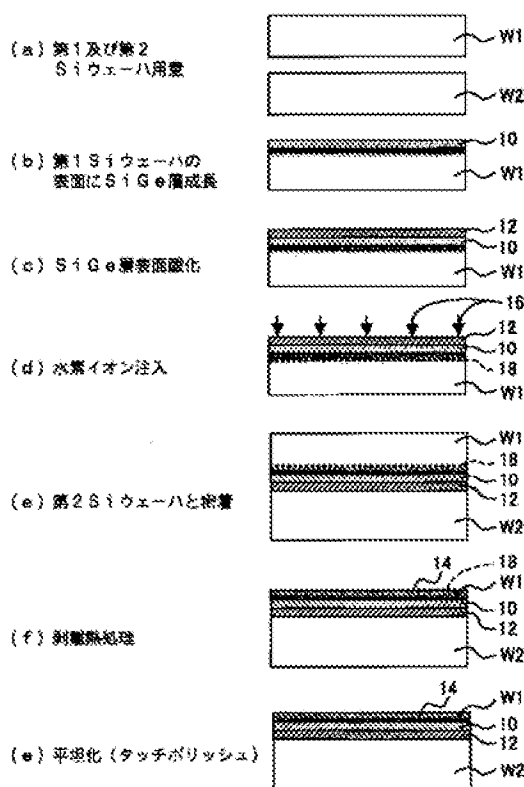
【符号の説明】

10：SiGe層、12：酸化膜、14：歪みSi層、16：水素イオン、18：微小気泡層、W1、W2：Siウェーハ。

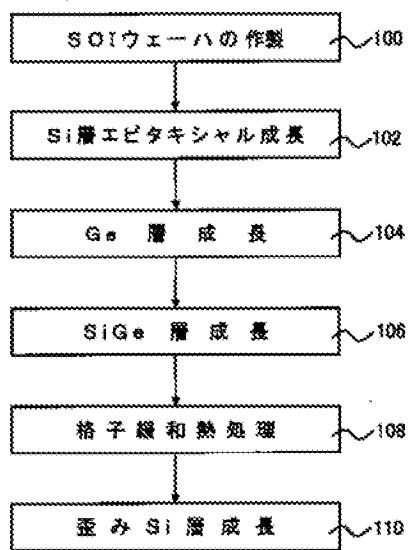
【図1】



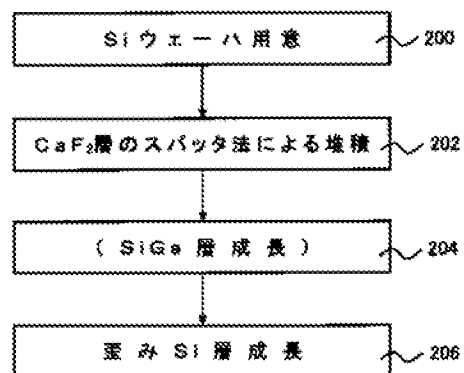
【図2】



【図3】



【図4】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289533

(P2002-289533A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テームト ⁷ (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 5
21/304	6 2 1	21/304	6 2 1 D

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願2001-87850(P2001-87850)

(22) 出願日 平成13年3月26日 (2001.3.26)

(71) 出願人 501121808

澤野 憲太郎

東京都文京区本郷7-3-1 東京大学大学院 工学系研究科 物理工学専攻 白木靖寛研究室内

(71) 出願人 501122861

白木 靖寛

東京都文京区本郷7-3-1 東京大学大学院工学系研究科付属 量子相エレクトロニクス研究センター 白木靖寛研究室内

(74) 代理人 100091904

弁理士 成瀬 重雄 (外1名)

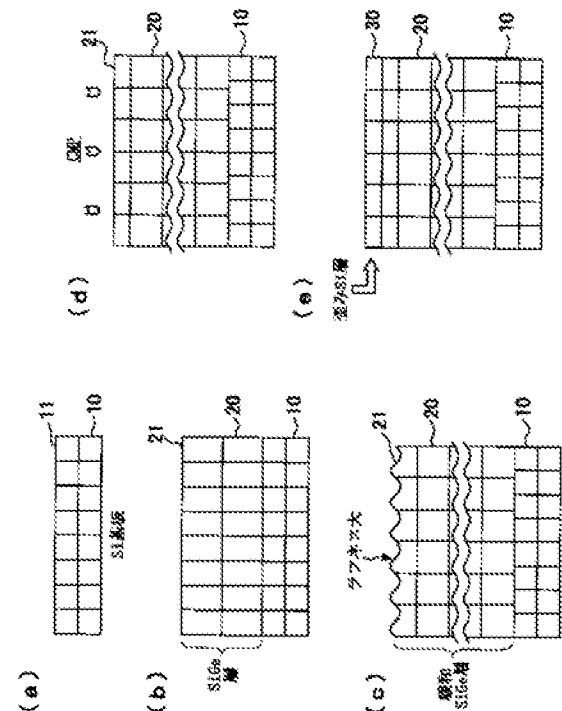
最終頁に続く

(54) 【発明の名称】 半導体表面の研磨方法、半導体デバイスの製造方法および半導体デバイス

(57) 【要約】

【課題】 貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法および半導体デバイスの製造方法および半導体デバイスを提供する。

【解決手段】 Si基板10の表面11に、Si基板10と格子定数が異なるSiGe層20を成長させる。SiGe層20は、傾斜組成バッファ法により形成される。ついで、SiGe層20を十分厚くなるまで成長させて緩和させる。ついで、SiGe層20の表面21をCMP法により研磨する。このCMP研磨により、SiGe層20の表面21のラフネスを、RMS値において数nm程度まで低下させることができる。平坦化された表面21にSiを成長させることで、平坦度の高い歪みSi層30を得ることができる。この歪みSi層30は、貫通転位が少なくかつ表面ラフネスが小さいものとなる。



【特許請求の範囲】

【請求項1】 下記のステップを有することを特徴とする、半導体表面の研磨方法。

(a) 第1半導体の表面に、この第1半導体と格子定数が異なる第2半導体を成長させるステップ、(b) 前記第2半導体を緩和させるステップ、(c) 前記第2半導体の表面をCMP法により研磨するステップ。

【請求項2】 前記第1半導体はSiからなっていることを特徴とする請求項1記載の半導体表面の研磨方法。

【請求項3】 前記第2半導体はSiGeからなっていることを特徴とする請求項1または2記載の半導体表面の研磨方法。

【請求項4】 前記第2半導体は、傾斜組成バッファ層により形成されていることを特徴とする請求項1～3記載の半導体表面の研磨方法。

【請求項5】 前記ステップ(a)において、前記第2半導体は、前記第1半導体の表面に5000オングストローム以上積層されることを特徴とする請求項1～4のいずれか1項に記載の半導体表面の研磨方法。

【請求項6】 請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された前記第2半導体の表面に、第3半導体を成長させることにより、半導体デバイスを製造することを特徴とする半導体デバイスの製造方法。

【請求項7】 第2半導体の表面に、歪みを有する第3半導体を積層してなる半導体デバイスであって、前記第2半導体の表面のラフネスは、 $RMS = 1.0\text{ nm}$ 以下であることを特徴とする半導体デバイス。

【請求項8】 前記第2半導体の表面のラフネスは、 $RMS = 1\text{ nm}$ 以下であることを特徴とする請求項7記載の半導体デバイス。

【請求項9】 前記第2半導体の厚さは、500オングストローム～ $1\text{ }\mu\text{m}$ であることを特徴とする請求項7または8に記載の半導体デバイス。

【請求項10】 前記第2半導体の厚さは、1000オングストローム以上であることを特徴とする請求項9記載の半導体デバイス。

【請求項11】 前記第2半導体の厚さは、5000オングストローム以下であることを特徴とする請求項9または10記載の半導体デバイス。

【請求項12】 請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された第2半導体を用いて半導体デバイスを製造することを特徴とする半導体デバイスの製造方法。

【請求項13】 請求項6または請求項12記載の半導体デバイスの製造方法により製造された半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体表面の研磨

方法、半導体デバイスの製造方法および半導体デバイスに関するものである。

【0002】

【発明の背景】 ULSIは、年々進む微細化技術によって、その高集積化、高速化が可能となり、今日の高情報化社会の実現に貢献をしてきた。ULSIにおいては、シリコン(Si)基板上に作製されたSi-MOSFET(Metal Oxide Semiconductor Field Effect Transistor、MOS電界効果型トランジスタ)が多く用いられているため、Si-MOSFETの微細化に向けた研究が盛んに行われてきた。しかし、今後は、その微細化に限界が訪れることは必至であり、さらなる高速化に向けて、MOSFETの動作を担っている電子の移動度を高める研究が進みつつある。材料にGaAsを使ったMOSFETでは、すでにこのような試みがなされ、電子の高速移動が可能なMOSFETが実用化されている。しかしSiはGaやAsよりも地球上に豊富に存在し、安価であり、しかも、人体や環境に与える害がないという優れた特徴を持つ。そのため、Si基板上に高速なMOSFETを作製できれば、その有用性は大きい。

【0003】 そこで、Siにゲルマニウム(Ge)を混ぜた混晶であるSiGeを以下のように利用する方法が考え出された。Siよりも原子間距離(格子定数)が大きいSiGeの上にSiを堆積(成長)させると、面内(横)方向と成長(縦)方向で原子間距離の異なるSi層(歪みSi層)が作製され、その中の電子は移動度が上がることが分かっている。そこで、この歪みSi層をMOSFETのチャネル(電子の通り道)とする歪みSi-MOSFETの実現が期待されている。その他にも、歪みSiGeや歪みGeをチャネルとするMOSFETも高速動作が期待され、研究されている。

【0004】 これら歪みを導入した高速MOSFETをSi基板上に作製するためには、全てに共通して、「歪み緩和SiGeバッファ層」をSi基板上に成長することが必要である。図7に歪みSiの作製法を模式的に示す。同図(a)に示される結晶Si基板1上にSiGeを徐々に堆積させると(同図b)、初めはSiと同じ格子定数で成長する。さらに成長させて、SiGe層2がある膜厚を超えると、SiGeの本来の格子定数に戻る(これを緩和という。図5c参照)。続いて、緩和したSiGe層(以下「歪み緩和SiGeバッファ層」または単に「バッファ層」ということがある。)2の上に、Siを成長させて堆積し、Si層3を形成する。このSi層3は、SiGeと同じ格子定数で成長するので、歪みSi層となる。この歪みSi層3を用いてMOSFETを作製すれば、歪みSi-MOSFETが完成する。この方法では、MOSFETを作製する工程自体は、単なるSi基板上のMOSFETの場合と何ら変わらないため、この作製が容易であるという利点がある。

【0005】 このように、歪みSi-MOSFETのような、チャネルに歪みを導入したSiGe系高速デバイスを実現するためには、良質な歪み緩和SiGe層バッファ層2が必要である。しかし、歪み緩和に伴い、バッファ層2の表

面はラフネス（凹凸）が増し、また、チャネルにまで延びる貫通転位が高密度に存在してしまうため、チャネルにおける電子の移動度は著しく低下してしまう。そこで、歪み緩和SiGeバッファ層の様々な作製法が試されている。もっとも一般的な方法は、SiGe層のGe濃度を徐々に上げていくという傾斜組成バッファ法である。しかしながら、貫通転位を抑えると表面ラフネスが大きくなり、表面を平坦にしようすると貫通転位密度が上がる、という傾向があり、表面ラフネスと貫通転位密度を共に低減させることのできるバッファ成長法はいまだに存在しない。他には、表面ラフネスを大幅に抑えることができる低温バッファ法があるが、これも貫通転位密度が大きいという問題がある。

【0006】

【発明が解決しようとする課題】本発明は、前記の事情に鑑みてなされたもので、その目的は、貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法および半導体デバイスの製造方法および半導体デバイスを提供することである。

【0007】

【課題を解決するための手段】この課題に対応して、請求項1記載の半導体表面の研磨方法は、下記のステップを有するものとなっている。

（a）第1半導体の表面に、この第1半導体と格子定数が異なる第2半導体を成長させるステップ、（b）前記第2半導体を緩和させるステップ、（c）前記第2半導体の表面をCMP法により研磨するステップ。

【0008】請求項2記載の半導体表面の研磨方法は、請求項1記載のものにおいて、第1半導体をSiからなるものとした。

【0009】請求項3記載の半導体表面の研磨方法は、請求項1または2記載のものにおいて、第2半導体をSiGeからなるものとした。

【0010】請求項4記載の半導体表面の研磨方法は、請求項1～3記載のものにおいて、第2半導体を、傾斜組成バッファ法により形成することとした。ここで、傾斜組成バッファ法とは、主成分に対する副成分の比率を徐々に変化上昇させて行く結晶成長法をいう。

【0011】請求項5記載の半導体表面の研磨方法は、請求項1～4のいずれか1項に記載のものであって、ステップ（a）において、前記第2半導体は、前記第1半導体の表面に5000オングストローム以上積層されているものである。

【0012】請求項6記載の半導体デバイスの製造方法は、請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された前記第2半導体の表面に、第3半導体を成長させることにより、半導体デバイスを製造するものである。

【0013】請求項7記載の半導体デバイスは、第2半導体の表面に、歪みを有する第3半導体を積層してなる

半導体デバイスであって、前記第2半導体の表面のラフネスは、 $RMS=10\text{ nm}$ 以下であるものとなっている。

【0014】請求項8記載の半導体デバイスは、請求項7記載のものにおいて、前記第2半導体の表面のラフネスは、 $RMS=1\text{ nm}$ 以下であるものとなっている。

【0015】請求項9記載の半導体デバイスは、請求項7または8に記載のものにおいて、前記第2半導体の厚さは、500オングストローム～ $1\text{ }\mu\text{m}$ であるものとなっている。

【0016】請求項10記載の半導体デバイスは、請求項9記載のものにおいて、前記第2半導体の厚さは、1000オングストローム以上であるものとなっている。

【0017】請求項11記載の半導体デバイスは、請求項9または10記載のものにおいて、前記第2半導体の厚さは、5000オングストローム以下であるものとなっている。

【0018】請求項12記載の半導体デバイスの製造方法は、請求項1～5のいずれか1項における半導体表面の研磨方法により研磨された第2半導体を用いて半導体デバイスを製造する構成となっている。

【0019】請求項13記載の半導体デバイスは、請求項6または請求項12記載の半導体デバイスの製造方法により製造された構成となっている。

【0020】

【作用】ラフネスの大きいバッファ層表面を、研磨によって平坦化する事ができれば、貫通転位密度、表面ラフネスが共に低い歪み緩和SiGeバッファ層を得ることができる。傾斜組成バッファ法によって作製した試料を、Chemical Mechanical Polishing（CMP）技術によって研磨することで表面を平坦化できる。

【0021】

【発明の実施の形態】本発明の一実施形態に係る半導体表面の研磨方法、半導体デバイスの製造方法および半導体装置を以下に説明する。はじめに、研磨方法について図1に基づいて説明する。

【0022】まず、図1（a）に示されるSi基板（第1半導体）10の表面11に、このSi基板10と格子定数が異なる半導体であるSiGe層（第2半導体）20を成長させる（図1b）。この成長方法としては、CVD法やガスソースMBE法など任意のものを用いることができる。成長方法自体は従来と同様なので詳細の説明は省略する。ここで、本実施形態では、第1半導体の組成としてSiを用いたが、ほかに、例えばGeを用いることも可能である。また、ここで、SiGe層20は、傾斜組成バッファ法により形成されている。具体的には、開始Ge濃度を0%とし、一定の係数でGe濃度を増加させ、終端（上端）Ge濃度を目的濃度（例えばGe濃度30%）とするように制御して形成する。このような形成方法は、従来から公知なので、詳細の説明を省略する。

【0023】 について、SiGe層20を十分厚くなるまで成長させ、SiGe層20を緩和させる。本実施形態では、SiGe層20の厚さは、5000オングストローム以上とすることが望ましい。これにより、SiGe層20は、本来の格子定数になる。すると、その表面21には、凹凸が生じ、ラフネスが大きくなる(図1c)。なお、図1に示す凹凸は、概念的に示されたものに過ぎず、その周期は、格子定数より大きいことが一般である。ここまでは基本的に従来技術と同様である。

【0024】 について、SiGe層20の表面21をCMP法により研磨する(図1d)。研磨に用いるスラリーの組成としては、平均粒径30nm~80nm、例えば70nmのコロイダルシリカを、pH10、5~11、例えばpH11のアルカリ溶液に分散させたものを用いることができるが、これに限定されるものではない。研磨後におけるSiGe層20の厚さは、500オングストローム~1 μ m、好ましくは、さらに、1000オングストローム以上または5000オングストローム以下の範囲である。前記以外のCMP研磨方法は、従来と同様なので、詳細の説明を省略する。

【0025】 このCMP研磨により、本実施形態の方法によれば、SiGe層20の表面21のラフネスを、ある程度の研磨時間(例えば10分程度)をかけることで、RMS値において10nm以下(後述する実験例では1nm以下)まで低下させることができる。ここでRMSは、測定値(表面の高さに相当)の標準偏差であり、(測定値-全測定値の平均)の2乗をすべての測定点について和をとり、測定点の数で割って、その値の平方根をとることで得ることができる。

【0026】 このように平坦化された表面21にSiを成長させることで、平坦度の高い歪みSi層30を得ることができる。この歪みSi層30の成長方法自体も従来と同様である。従来の技術では、SiGe層20の表面21を平坦化させようとすると、貫通転位密度が上昇し、貫通転位密度を下げようとすると表面21のラフネスが増えるという関係があるため、表面21のラフネスを十分下げることが困難であった。これに対して、本実施形態の方法によれば、貫通転位密度が低くなるようにSiGe層20を成長させ、結果として生じた表面21の凹凸を、CMP法によって、数原子層に相当するRMS値まで下げることができる。したがって、貫通転位密度が低く、かつ、十分に低いラフネスを有する表面21を得ることができるという利点がある。したがって、この表面21の上に積層されたSi層30は、高い平坦度を有することになる。

【0027】 前記のように形成されたSi層30にゲート、ソースおよびドレインを作ることによって、MOS-FET(半導体装置)を作製することができる。この作製方法自体も従来と同様なので説明を省略する。このようにして構成されたMOS-FETによれば、チャネルとなるSi層30の

平坦度が高いために、キャリアの散乱が少なく、その移動度を高めることができるという利点がある。すると、GaAsを用いなくとも、Siによる高速半導体デバイスを得ることができ、コスト面でも、安全性の面でも、その利点は大きい。さらに、本実施形態の方法は、いずれも比較的簡単なステップにより実現できるので、実施が容易であるという利点もある。

【0028】 なお、前記実施形態では、歪みSi層30を用いて半導体デバイスを作製することとしたが、緩和されたSiGe層20自体にチャネル、ゲート、ソースを作ることによって、半導体デバイスとすることも可能である。

【0029】

【実験例】 (実験条件) 前記した実施形態と同様の実験条件で実験を行った。さらに詳しい条件を以下に示す。

- (1) SiGe層20の組成: 傾斜組成バッファ法により、開始Ge濃度が0%、終端(上端)Ge濃度が30%(残部Siおよび不可避不純物)となる組成
- (2) スラリーの組成: 平均粒径70nmのコロイダルシリカを、pH11のアルカリ溶液に分散させた組成
- (3) 研磨時間: 10分間
- (4) 研磨膜厚(研磨厚さ): 100nm

【0030】 以上の条件で研磨を行った。その結果を図2に示す。図中(a)は研磨前におけるSiGe層の表面を示し、図中(b)は研磨後における表面を示している。明らかに、平坦度が大幅に向上していることが判る。

【0031】 なお、本発明者の実験結果によれば、研磨膜厚と表面ラフネスとの関係は、図3に示すようになった。この結果から、RMS=0.5nmという、非常に高い平坦度も実現可能であることが判る。

【0032】 なお、CMP後の研磨表面は研磨剤が大量に付着しており、最適な洗浄が施されなければその上に良質なエピタキシャル膜が再成長できない。そこで、本発明者らは、界面活性剤を用いた洗浄によって付着パーティクルを完全に除去した。洗浄は、70℃のアンモニア:過酸化水素:水=1:1.5:70混合溶液に研磨表面を10分間浸し、その後、パーティクルの再付着を抑えるため、有機スルホン酸を0.1%加えた超純水でリンスし、さらに、超純水で10分間オーバーフローリンスを行った。次に、酸化膜除去のため、0.5%フッ酸に30秒間浸した。なお酸化膜中または表面に残ったパーティクルの再付着を防ぐために、フッ酸にも有機スルホン酸を0.1%加えた。図4は、洗浄結果を示すもので、同図(a)は洗浄前、同図(b)は洗浄後の表面AFM像である。パーティクルが洗浄により完全に除去されているのが判る。

【0033】 CMP後、このような洗浄を施し、更に金属汚染、有機物汚染を除去するために、硫酸過酸化水素水洗浄を行った後、SiGeを再度成長させた。それにより構成した量子井戸から、フォトルミネッセンスが観測された。したがって、研磨面の上に、良質なエピ膜を成長させることができた。また、再成長させたSiGe膜の表面も

RMS値1nm以下であることが確認された。つまり、今まで作製不可能であった、表面RMSラフネス値1nm以下という平坦度を持ったSiGe（上端においてGe30%）バッファ層を得ることに成功した。

【0034】さらに、研磨圧力と研磨速度について調べた結果、図5のような関係を得た。研磨速度は研磨圧力にはほぼ比例し、研磨剤の粒径が大きいほど、またSiGeのGe濃度が大きいほど速い事が分かった。適切な研磨圧力は、試料のGe濃度、研磨前のラフネス、研磨剤によって任意に変える必要があるが、100～800g/cm²が適切であると考えられる。

【0035】さらに、本発明者は、様々なサンプルを研磨し、サンプルによる到達平坦度の違いを調べた（図6）。その結果、到達平坦度はバッファ層の表面欠陥密度（セコエッチ後の表面ラフネスに比例すると考えられる）に大きく依存すると考えられる。つまり、RMSラフネス1nm以下の表面を得るためには、CMPの後に行われるセコエッチ後のラフネスが5nm以下となるようなバッファ層を作製すること望ましいと考えられる。さらに研磨剤のpHを調整することで、結晶欠陥密度に対応した最良の研磨が実現できると予想される。

【0036】なお、前記実施形態および実施例の記載は単なる一例に過ぎず、本発明に必須の構成を示したものではない。各部の構成は、本発明の趣旨を達成できるものであれば、上記に限らない。

【0037】

【発明の効果】本発明によれば、貫通転位を抑えつつ表面ラフネスを小さくすることができる半導体表面の研磨方法、半導体デバイスの製造方法、および半導体デバイスを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体デバイスの製造工程を説明するための説明図である。

【図2】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示す写真である。

【図3】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示すグラフである。

【図4】本発明の一実施例に係る半導体表面の研磨方法の実験結果を示す写真である。

【図5】本発明の一実施例における研磨速度と研磨圧力との関係を示すグラフである。

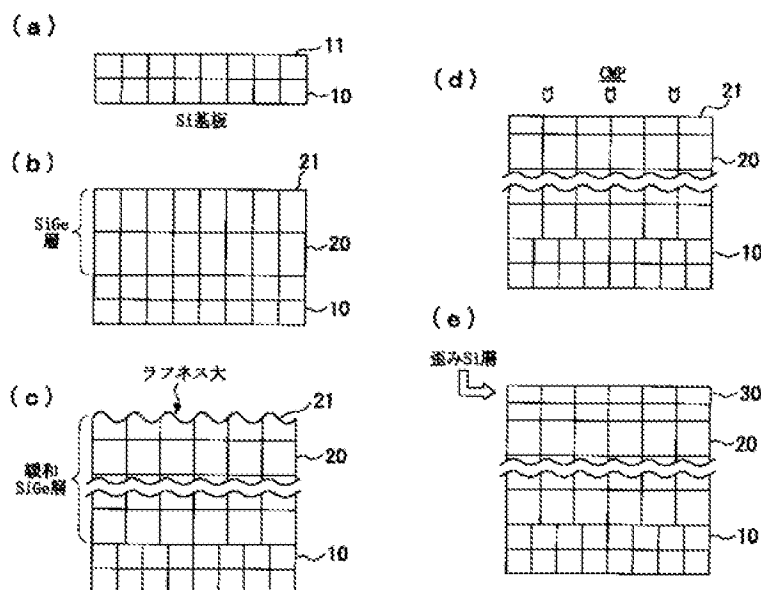
【図6】本発明の一実施例の実験結果を説明するためのグラフである。

【図7】従来の半導体デバイス製造工程の要部を模式的に説明するための説明図である。

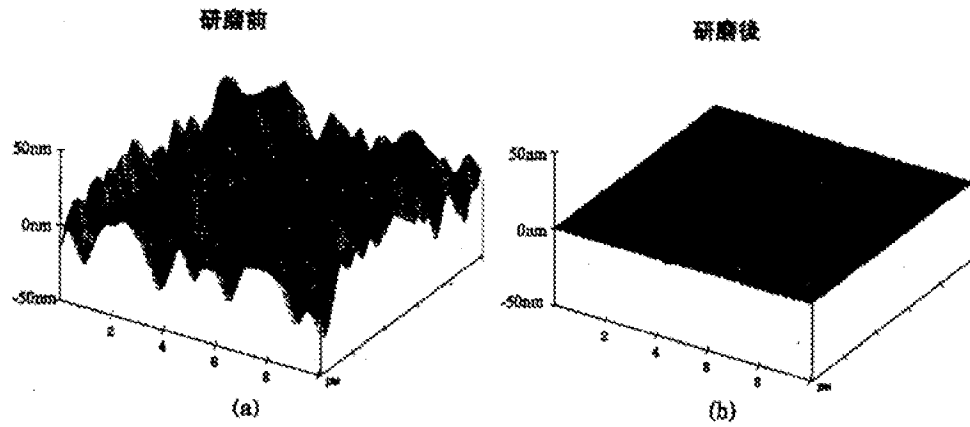
【符号の説明】

- 10 Si基板（第1半導体）
- 11 Si基板の表面
- 20 SiGe層（第2半導体）
- 21 SiGe層の表面
- 30 窒みSi層（第3半導体）

【図1】

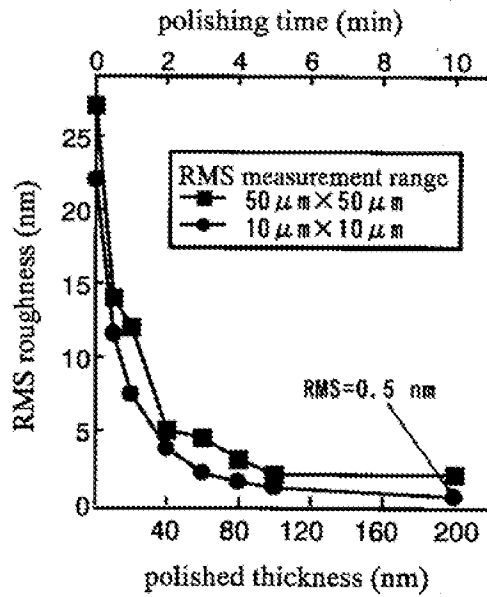


【図2】



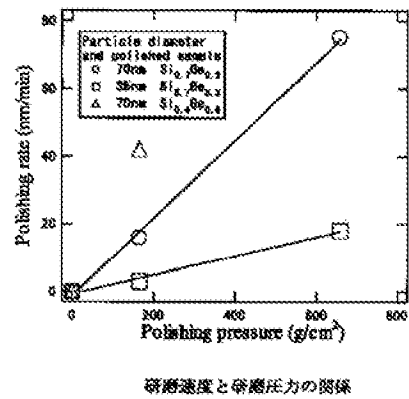
研磨前後の歪み緩和SiGeバッファ層表面のAFM像

【図3】

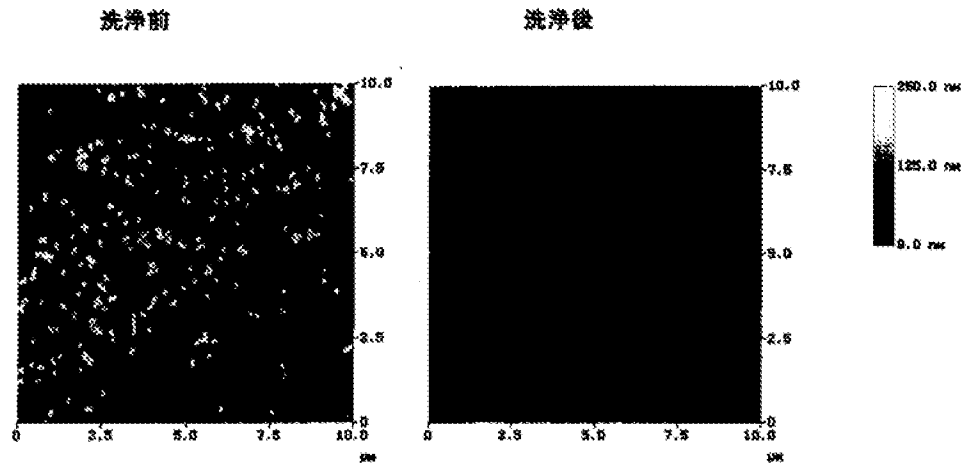


研磨膜厚（研磨時間）による RMS ラフネスの変化

【図5】

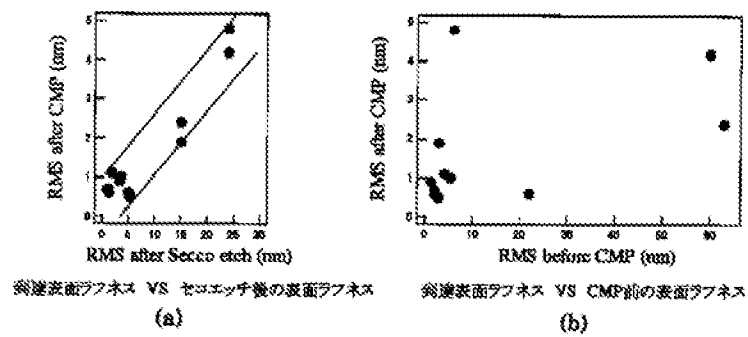


【図4】

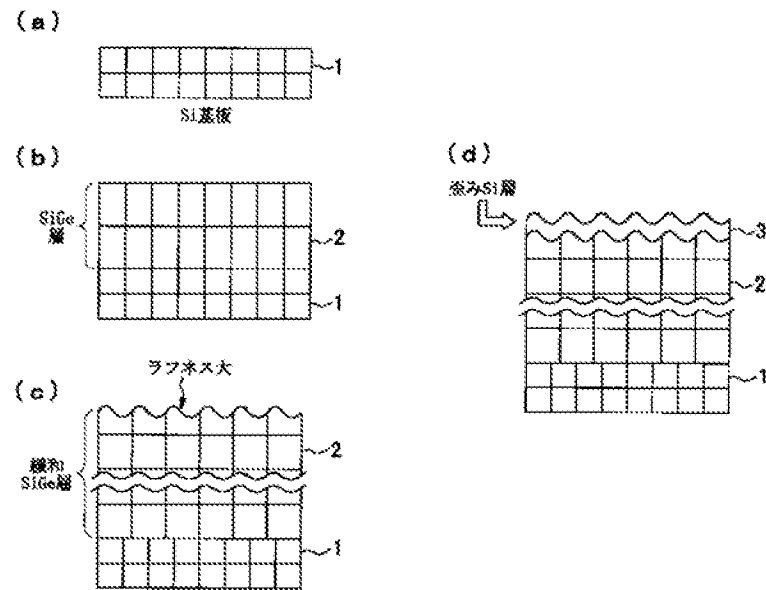


洗浄前後の表面AFM像

【図6】



【図 7】



フロントページの続き

(71)出願人 501122366
 中川 清和
 山梨県甲府市宮前町7 山梨大学工学部付
 属無機合成研究施設内
 (72)発明者 澤野 憲太郎
 東京都目黒区駒場4-6-1 東京大学先
 端科学技術研究センター フォトニクス材
 料分野 白木靖寛研究室内

(72)発明者 白木 靖寛
 東京都目黒区駒場4-6-1 東京大学先
 端科学技術研究センター フォトニクス材
 料分野 白木靖寛研究室内
 (72)発明者 中川 清和
 山梨県甲府市宮前町7 山梨大学工学部付
 属無機合成研究施設内
 Fターム(参考) 5F045 AB01 AB02 AF03 BB12 CA06
 DA53 DA58 GH06



PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

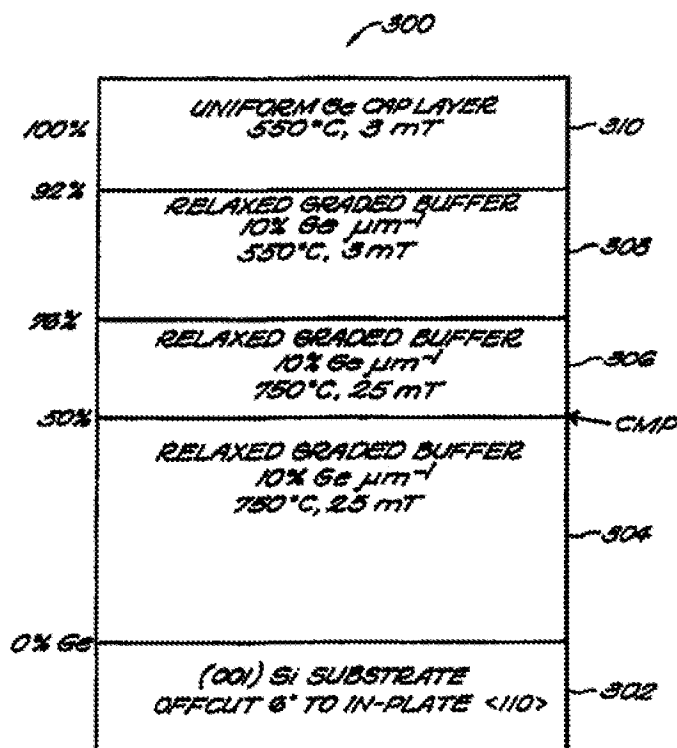
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : H01L 21/20	A1	(11) International Publication Number: WO 98/59365 (43) International Publication Date: 30 December 1998 (30.12.98)
(21) International Application Number: PCT/US98/13076 (22) International Filing Date: 23 June 1998 (23.06.98) (30) Priority Data: 60/050,602 24 June 1997 (24.06.97) US 60/059,765 16 September 1997 (16.09.97) US (71) Applicant: MASSACHUSETTS INSTITUTE OF TECHNOLOGY [US/US]; 77 Massachusetts Avenue, Cambridge, MA 02139 (US). (72) Inventor: FITZGERALD, Eugene, A.; 7 Camelot Road, Windham, NH 02652 (US). (74) Agents: CONNORS, Matthew, E. et al.; Samuels, Gauthier, Stevens & Reppert, Suite 3300, 225 Franklin Street, Boston, MA 02110 (US).	(81) Designated States: CA, JP, KR, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i> <i>Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>	

(54) Title: CONTROLLING THREADING DISLOCATION DENSITIES IN Ge ON Si USING GRADED GeSi LAYERS AND PLANARIZATION

(57) Abstract

A semiconductor structure including a semiconductor substrate (302), at least one first crystalline epitaxial layer (304) on the substrate, the first layer having a surface which is planarized, and at least one second crystalline epitaxial layer (306) on the at least one first layer. In another embodiment of the invention there is provided a semiconductor structure including a silicon substrate, and a GeSi (306, 308) graded region grown on the silicon substrate, compressive strain being incorporated in the graded region to offset the tensile strain that is incorporated during thermal processing. In yet another embodiment of the invention there is provided a semiconductor structure including a semiconductor substrate, a first layer having a graded region (304) grown on the substrate, compressive strain being incorporated in the graded region to offset the tensile strain that is incorporated during thermal processing, the first layer (304) having a surface which is planarized, and a second layer (306, 308) provided on the first layer.



FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AL	Albania	ES	Spain	LS	Lesotho	SI	Slovenia
AM	Armenia	FI	Finland	LT	Lithuania	SK	Slovakia
AT	Austria	FR	France	LU	Luxembourg	SN	Senegal
AU	Australia	GA	Gabon	LV	Latvia	SZ	Swaziland
AZ	Azerbaijan	GB	United Kingdom	MC	Monaco	TD	Chad
BA	Bosnia and Herzegovina	GE	Georgia	MD	Republic of Moldova	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagascar	TJ	Tajikistan
BE	Belgium	GN	Guinea	MK	The former Yugoslav Republic of Macedonia	TM	Turkmenistan
BF	Burkina Faso	GR	Greece			TR	Turkey
BG	Bulgaria	HU	Hungary	ML	Mali	TT	Trinidad and Tobago
BJ	Benin	IE	Ireland	MN	Mongolia	UA	Ukraine
BR	Brazil	IL	Israel	MR	Mauritania	UG	Uganda
BY	Belarus	IS	Iceland	MW	Malawi	US	United States of America
CA	Canada	IT	Italy	MX	Mexico	UZ	Uzbekistan
CF	Central African Republic	JP	Japan	NE	Niger	VN	Viet Nam
CG	Congo	KE	Kenya	NL	Netherlands	YU	Yugoslavia
CH	Switzerland	KG	Kyrgyzstan	NO	Norway	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Democratic People's Republic of Korea	NZ	New Zealand		
CM	Cameroon			PL	Poland		
CN	China	KR	Republic of Korea	PT	Portugal		
CU	Cuba	KZ	Kazakhstan	RO	Romania		
CZ	Czech Republic	LC	Saint Lucia	RU	Russian Federation		
DE	Germany	LI	Lichtenstein	SD	Sudan		
DK	Denmark	LK	Sri Lanka	SE	Sweden		
EE	Estonia	LR	Liberia	SG	Singapore		

- 1 -

CONTROLLING THREADING DISLOCATION DENSITIES IN Ge ON Si USING GRADED GeSi LAYERS AND PLANARIZATION

PRIORITY INFORMATION

5 This application claims priority from provisional applications Ser. No. 60/050,602 filed June 24, 1997 and 60/059,765 filed September 16, 1997.

BACKGROUND OF THE INVENTION

10 The invention relates to a method of creating flat, crack-free low-dislocation-density mismatched semiconductor layers, and of controlling threading dislocation densities in Ge on Si using graded SiGe layers.

The progression of electronic and optoelectronic components and systems is creating a need for more complex system-level functions to be incorporated at the chip level. One of the effects of this demand is to bring ever-increasing pressure to use
15 materials that are not lattice-matched to common substrates.

The technological significance of a totally miscible GeSi system has been well documented. In particular, relaxed graded GeSi buffers have been used as "substrates" for the growth of high electron mobility structures and for the integration of III-V devices on Si. The relaxed graded buffer introduces a 4% lattice mismatch between Si
20 and Ge gradually, resulting in a disperse, three-dimensional misfit dislocation network. Strain-relieving glide of threading dislocations is facilitated, preventing the accumulation of mismatch strain. Because threading dislocations present in the initial layers can also be used to relieve strain in subsequent layers, the nucleation of additional dislocations is suppressed as the graded layer growth progresses. However, a complication arises
25 during thick grades to high Ge concentrations.

The characteristic crosshatch surface roughness and the underlying strain fields of the misfit array can overlap, blocking threading dislocation glide and leading to dislocation pile-ups. The formation of these pile-ups necessitates the nucleation of additional threading dislocations, as the trapped threading dislocations can no longer
30 contribute to strain relief. Growth on offcut Si substrates has been shown to improve surface morphology and decrease the number of pile-ups, but not eliminate them entirely. Therefore, an increase in threading dislocation density and the number of pile-ups is

- 2 -

always observed as the thickness of graded layers increases.

SUMMARY OF THE INVENTION

It is therefore an object of the invention to provide a process that allows
5 controlled relaxation of mismatched semiconductor layers so that many different
semiconductor materials can be created on common substrates.

It is another object of the invention to provide a method utilizing planarization
such as with chemical-mechanical polishing (CMP) which allows for the growth of
relaxed graded buffers to 100% Ge without the concomitant increase in threading
10 dislocation density.

It is yet another object of the invention to provide modifications to ultra-high
vacuum chemical vapor deposition (UHVCVD) growth procedures which eliminate
surface cracks due to the thermal mismatch between Si and Ge and particulate defects
due to gas phase nucleation events.

15 Accordingly, one embodiment of the invention provides a semiconductor
structure comprising a semiconductor substrate, at least one first crystalline epitaxial
layer on the substrate, the first layer having a surface which is planarized, and at least
one second crystalline epitaxial layer on the at least one first layer.

In another embodiment of the invention there is provided a semiconductor
20 structure comprising a silicon substrate, and a GeSi graded region grown on the silicon
substrate, compressive strain being incorporated in the graded region to offset the tensile
strain that is incorporated during thermal processing.

In yet another embodiment of the invention there is provided a semiconductor
structure comprising a semiconductor substrate, a first layer having a graded region
25 grown on the substrate, compressive strain being incorporated in the graded region to
offset the tensile strain that is incorporated during thermal processing, the first layer
having a surface which is planarized, and a second layer provided on the first layer.

In still another embodiment of the invention there is provided a method of
fabricating a semiconductor structure comprising providing a semiconductor substrate,
30 providing at least one first crystalline epitaxial layer on the substrate, and planarizing the
surface of the first layer.

- 3 -

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a flowchart of processing steps of an exemplary experiment in accordance with the invention;

5 FIG. 2 is a table of growth parameters and characterization results of exemplary structure samples in accordance with the invention;

FIG. 3 is a schematic representation of structure and growth conditions for a semiconductor structure in accordance with the invention;

10 FIG. 4 is a cross-sectional XTEM image of the upper graded region and uniform Ge cap of the structure of the invention; and

FIGs. 5A and 5B are Nomarski optical micrographs comparing the EPD of exemplary semiconductor structure samples, respectively.

DETAILED DESCRIPTION OF THE INVENTION

15 It has been previously shown that although composition-graded GeSi layers are a viable means to relax GeSi alloys on Si for concentrations $< 50\%$, there is a rise in threading dislocation density with continued grading. See, for example, U.S. Pat. App. Ser. No. 08/806,741 filed by Fitzgerald et al., incorporated herein by reference. Thus, despite the fact that, for example, a final Ge layer has a lower defect density than Ge
20 grown directly on Si, the residual defect density is still too high for many applications ($\sim 10^7 \text{cm}^{-2}$), and the density is certainly greater than relaxed $\text{Ge}_{30}\text{Si}_{70}$ on Si using this method ($\sim 7 \times 10^5 \text{cm}^{-2}$). The grading rate for such defect densities in $\text{Ge}_{30}\text{Si}_{70}$ is 10% Ge per micron of thickness.

25 In order to reach the desired goal of lower threading dislocation density, the grading rate is decreased to 5% Ge per micron of thickness. From experience, a lower grading rate will lower the threading dislocation density. However, it was found that the threading dislocation density was nearly equivalent to the 10% Ge/micron grading rate, cracks developed due to the thermal mismatch strain, and many particles were found due to what is believed to be gas-phase nucleation of GeSi since germane cracks at much
30 lower temperatures than silane.

The major problems that need to be controlled in the semiconductor structure are

- 4 -

the cracking and the threading dislocation density. Cracking is due to the fact that at 5% Ge per micron, the final thickness is very great, and upon cooling from the growth temperature, the thermal mismatch between the deposited layers and Si results in a tensile strain. When the tensile strain is great enough, cracking is the relaxation mechanism, especially if dislocation flow ceases at some temperature during cooling. However, lowering the threading dislocation density requires a greater thickness, since the slower grading rate reduces the threading dislocation density. Thus, it would appear that the removal of cracks and the presence of a low number of threading dislocations are incompatible goals.

A solution is found in the development of these relaxed structures. The need for very gradual grading as one tries to produce relaxed Ge structures with high Ge concentration has its origins in work-hardening in the graded buffer layer; i.e., during continued relaxation, dislocations are blocked by some mechanism in the highly dislocated graded layer, creating the need for the nucleation of more dislocations, and thereby increasing the threading dislocation density. For 10% Ge per micron grading rates, dislocation strain fields themselves can not possibly explain the blocking phenomenon. It has been concluded that the effect of dislocation strain fields on surface morphology aided the blocking of the dislocation motion. In fact, growth on an off-cut wafer shows that such a blocking phenomenon can be decreased, and this experimental evidence supports the hypothesis that the surface roughness is the main issue.

The invention, therefore, applies a planarization step within the growth of the buffer layer to remove the roughness created by the dislocations introduced during relaxation; i.e., the process effectively removes the "history" of the surface by planarization, preventing the continued roughening and grooving of the surface that leads to dislocation blocking. A drastic effect is found: the rise in threading dislocation density as one continues to grade can be completely eliminated.

FIG. 1 is a flowchart of processing steps of an exemplary experiment in accordance with the invention. A summary of the exemplary experiment is as follows:

Initially (step 100), a Si substrate is graded at 10% Ge per micron to $\text{Ge}_{50}\text{Si}_{50}$ to create a relaxed alloy for exploring the growth at the high-Ge end which was problematic. This grading rate was not lowered since there was only a need to explore

- 5 -

the high-Ge end. These layers were grown at 750C° using UHVCVD. Defect analysis shows that a threading dislocation density on the order of $6 \times 10^6 \text{ cm}^{-2}$ is achieved, exactly what was expected. Also, a number of dislocation pile-ups are found, which indicate that dislocation blocking has begun, but is not totally out of control.

5 These $\text{Ge}_{50}\text{Si}_{50}$ wafers had a 2 micron uniform cap on top of the graded layer so that planarization in the form of chemo-mechanical polishing (CMP) can be performed (step 102). It will be appreciated by those of skill in the art that other methods of planarization will also work, such as ion-beam etching or other planarization etching techniques. The CMP process used is the standard CMP in the Si industry, used for
10 polishing Si wafers as well as planarizing back-end Si processes.

After planarization, the wafers are inserted back into the UHVCVD system and grading is continued (i.e. regrowth) (step 104). Deposition is started at the $\text{Ge}_{50}\text{Si}_{50}$ composition, and graded at 10% Ge per micron to 75% Ge, all at a growth temperature of 750C°.

15 The growth temperature is then lowered to 550C°. Then grading to 92% Ge occurs, at 10% Ge per micron (step 106).

A uniform cap of pure Ge is deposited, with 1-1.5 micron in thickness (step 108). This particular experiment has doping in the Ge cap so that Ge photodetectors can be fabricated.

20 The following description presents exemplary experimental samples which, for purposes of illustration, have been labeled as samples A, B, C and D. The control sample in this experiment, sample A, was graded from Si to 100% Ge at a rate of 5% $\text{Ge } \mu\text{m}^{-1}$. It was grown at 750°C and 25mT and topped with a 3 μm Ge cap. A linear grade was approximated by increasing the Ge concentration in 2.5%, 5000Å steps.
25 Sample B was graded to 100% Ge at a rate of 10% $\text{Ge } \mu\text{m}^{-1}$, at a temperature of 800°C, and at a pressure of 50mT. This structure corresponds to the sample structure from previous reports on the formation of dislocation pile-ups. Sample C was grown to only 50% Ge at a grading rate of 10% $\text{Ge } \mu\text{m}^{-1}$ and topped with a 1.5 μm 50% Ge cap. The graded region of sample C was composed of 2% Ge, 2000Å jumps.

30 Nine wafers were produced in this fashion to produce 50% Ge "virtual substrates" on Si for studying the threading dislocation density increase that occurs when

- 6 -

grading to high Ge concentrations. Although not optimized for minimum threading dislocation densities, these "substrates" are known to typically possess threading dislocation densities of approximately $5 \times 10^6 \text{ cm}^{-2}$. As the table of FIG. 2 shows, the nine wafers were fine virtual substrates for this study with dislocation densities on this order.

FIG. 3 is a schematic representation of structure and growth conditions for a semiconductor structure 300 (sample D) in accordance with the invention. The structure 300 includes a (001) Si substrate 302 offcut 6° to in-plane $\langle 110 \rangle$. The structure 300 was grown to include a relaxed graded buffer layer or region 304 of only 50% Ge at a grading rate of $10\% \text{ Ge} \mu\text{m}^{-1}$ and topped with a $1.5 \mu\text{m}$ 50% Ge cap. The graded region was composed of 2% Ge, 2000 \AA jumps. To this point, the structure corresponds to sample C described heretofore. The top 5000 \AA of region 304 was then removed via CMP, and a 50-100% Ge graded buffer region 306 was grown on top at a rate of $10\% \text{ Ge} \mu\text{m}^{-1}$, again in 2%, 2000 \AA steps. It will be appreciated by those of skill in the art that the initiation of a second graded layer is accomplished by first growing a lattice-matched homoepitaxial uniform composition buffer layer before grading is initiated. In this 50-76% Ge portion, the growth conditions were held constant at 750°C and 25 mT . Thereafter, the growth was halted and the temperature and pressure were lowered to 550°C and 3 mT . The growth of a graded buffer region 308 then continued until a Ge concentration of 92% was reached. The final jump in Ge concentration was made from 92% to 100% and a $1.5 \mu\text{m}$ uniform cap layer 310 was deposited.

FIG. 4 is a cross-sectional transmission electron microscope (XTEM) micrograph of the upper graded region and the uniform cap of structure 300 (sample D). All of the samples in the study were grown on (100) Si wafers offcut 6° to the in-plane $\langle 110 \rangle$ by UHVCVD.

The four samples were characterized via cross-sectional XTEM, plan view optical microscopy, etch-pit density (EPD), atomic force microscopy (AFM), and triple-axis X-ray diffraction. The relevant results are presented in the table of FIG. 2.

When comparing the threading dislocation densities of the four samples A, B, C and D, both expected and unexpected results are found. Since sample A was grown at a slow grading rate, one would expect it to have a low threading dislocation density if

- 7 -

one does not consider the deleterious effects of surface roughening and pile-up formation. Of course, as shown in the previous work, these factors create a high density of threading dislocations, $\sim 10^7 \text{ cm}^{-2}$. As expected, sample B, a similar sample graded at a faster rate of 10% Ge μm^{-1} to 100% Ge, has an even larger threading dislocation density. The sample C data also confirms the threading dislocation density increase with Ge concentration—at 50% Ge, the threading dislocation density is already in the 10^6 cm^{-2} range.

However, the structure 300 (sample D), in effect a grade to 100% at 10% Ge μm^{-1} , has a similar or even slightly lower threading dislocation density than the sample C—a lower value than that of both sample A and sample B. The addition of the CMP step at 50% Ge has arrested the increase in threading dislocation density with Ge concentration.

Hence, the planarization of the surface during this step must free the threads seen in pile-ups in sample C, and allow the dislocations to relieve the strain introduced in the subsequent growth, eliminating the driving force for the nucleation of additional threading dislocations.

Nomarski optical micrographs comparing the EPD of samples C and D are shown in FIGs. 5A and 5B, respectively. The EPD results indicate threading dislocation densities in sample C, the 10% Ge μm^{-1} grade to 50% Ge, and sample D, the 10% Ge μm^{-1} grade to 100% Ge grown on sample B after a CMP planarization step. The threading dislocation densities are $6.3 \pm 0.1 \times 10^6 \text{ cm}^{-2}$ for sample C, and $2.1 \pm 0.2 \times 10^6 \text{ cm}^{-2}$ for sample D.

It will be appreciated that the pile-ups seen in sample C have been eliminated by the CMP/regrowth step and no substantial pile-ups are seen in sample D. A remarkable observation is that the overall defect morphology is actually improved with further relaxation. It is postulated that when the initial portion of growth is optimized to further decrease its baseline threading dislocation density, the growth of relaxed graded GeSi buffers to 100% Ge with much lower final defect densities will be achieved.

By examining the AFM data from the four samples, the influence of surface roughness on threading dislocation density is recognized. Sample B, the 10% Ge μm^{-1} grade to 100% Ge, has the highest rms roughness, 47 nm. The high surface roughness is due to the fast grading rate, creating the highest threading dislocation density of the

- 8 -

four samples—well over 10^7 cm^{-2} . When the grading rate is decreased to $5\% \text{ Ge } \mu\text{m}^{-1}$ for sample A, a corresponding decrease in surface roughness to 35.9 nm is observed.

This roughness is on par with that of sample C and large enough to create pile-ups and increased threading dislocation density in both samples. With the inclusion of the CMP
5 step in sample D, the resulting final surface roughness, 24.2 nm , is much lower than that of sample B despite the same grading rate, and lower than that of the more slowly graded sample A. This result is a parallel observation to the threading dislocation density data discussed previously, and it emphasizes the importance of the inclusion of a CMP step in thick graded buffer growth.

10 When a thick graded SiGe buffer like sample A is grown at high temperatures, cracks in the surface can result during cooling due to the thermal mismatch between Si and Ge. Between the sample A growth temperature of 750°C and room temperature, the thermal expansion coefficient of Si, α_{Si} , varies from $4.27 \times 10^{-6} \text{ K}^{-1}$ to $2.57 \times 10^{-6} \text{ K}^{-1}$ and α_{Ge} varies from $8.55 \times 10^{-6} \text{ K}^{-1}$ to $5.90 \times 10^{-6} \text{ K}^{-1}$. Because the coefficient of thermal
15 expansion of Ge is greater than that of Si, severe tensile stresses can result in the upper Ge-rich portion of the buffer.

In sample A, the calculated strain due to thermal mismatch when cooling to room temperature is 2.6×10^{-3} , resulting in a high density of surface cracks. When growing sample D, growth modifications specifically designed to alleviate this cracking problem
20 are added. By grading at twice the rate, the total amount of deposited material and the strain energy from the thermal stress accordingly is decreased. More importantly, the fast grading rate at lower temperature and the final Ge concentration jump in sample D, from 92% to 100% , incorporate metastable compressive residual stress into the buffer at the growth temperature. Since the compressive lattice mismatch opposes the tensile
25 thermal mismatch, sample D is left in a nearly stress-free state at room temperature.

The X-ray diffraction data indicates that the top layer is actually slightly compressive, preventing any surface cracking. Additionally, due to the large final jump in Ge concentration, the graded buffer of sample D has nearly $1 \mu\text{m}$ less Ge-rich material than sample B, decreasing its absolute value of strain energy from thermal mismatch
30 stress. Hence, even though neither sample D nor sample B experienced surface cracking after growth, sample D will be the superior substrate for subsequent integration of III-V

- 9 -

materials which are also thermally mismatched to Si. The lower growth temperature during the high Ge portion of sample D also decreased the amount of particulate contamination from gas phase nucleation events. These events occur much more frequently as the growth temperature and pressure increase, particularly near the melting point of the solid alloy.

By including a planarization step in the graded buffer growth process, and by making several growth modifications, a 100% Ge graded buffer has been grown at 10% Ge μm^{-1} that exhibits a final threading dislocation density an order of magnitude lower than that of sample A, the 5% Ge μm^{-1} grade with no planarization step. Additionally, the nucleation of threading dislocations in the 50-100% Ge portion of the growth has been suppressed through the release of immobile dislocations located in dislocation pile-ups. The surface morphology of the graded buffer has also been improved. Finally, surface cracking due to the thermal mismatch between Si and Ge and particles due to gas phase nucleation events have both been eliminated. These growth modifications not only allow for obtaining higher quality Ge on Si, but also suggest a strategy for the growth of Ge on Si with lower defect densities on the order of bulk Ge substrates.

In general, the previous knowledge of the low-Ge-concentration alloys is now combined with the newly observed properties of films grown to higher Ge concentrations as discussed above. Since threading dislocation densities for $\text{Ge}_{30}\text{Si}_{70}$ graded at 10% per micron are in the low 10^5 cm^{-2} range, a combination of optimal conditions for the low and high Ge concentration can lead to very low threading dislocation density, pure Ge-coated Si wafers with 10^5 cm^{-2} threading dislocation density. GaAs can subsequently be deposited on Ge, creating III-V material monolithically integrated to Si.

The invention thus provides a method of producing low threading dislocation density by using planarization steps within the graded buffer. The invention essentially involves growing one lattice-mismatched semiconductor on another, planarizing the semiconductor growth, and regrowing a semiconductor on the polished surface, and continuing to grow a lattice-mismatched structure that continues to relax. In addition, the growth temperatures are reduced at the high Ge end to balance the thermal expansion difference between Ge and Si by trapping a residual amount of opposite-sign lattice mismatch.

- 10 -

An optimum structure is configured as described above. An alternative exemplary embodiment of a semiconductor structure is configured as follows. Initially, the structure is graded to $\text{Ge}_{35}\text{Si}_{65}$ at 5%/micron at 750°C. The surface is then planarized by, for example, CMP. Next, one would regrow and grade to $\text{Ge}_{75}\text{Si}_{25}$ at 650°C.

5 Thereafter, the surface is again planarized by CMP. Finally, the structure is regrown and graded to uniform Ge at 550°C.

Although the foregoing description reports these particular sequences, it is noted that small variations to this sequence may produce the same results, and the optimum number of planarization steps may vary. It is clear that at least one planarization step in the
10 structure is needed, and very likely two planarization steps is needed for Ge on Si to ensure high quality material.

Although the present invention has been shown and described with respect to several preferred embodiments thereof, various changes, omissions and additions to the form and detail thereof, may be made therein, without departing from the spirit and
15 scope of the invention.

What is claimed is:

CLAIMS

- 1 1. A semiconductor structure comprising:
2 a semiconductor substrate;
3 at least one first crystalline epitaxial layer on said substrate, said first layer
4 having a surface which is planarized; and
5 at least one second crystalline epitaxial layer on said at least one first layer.
- 1 2. The structure of claim 1, wherein said at least one first crystalline epitaxial
2 layer is lattice mismatched.
- 1 3. The structure of claim 1, wherein said at least one second crystalline epitaxial
2 layer is lattice mismatched.
- 1 4. The structure of claim 1, wherein said first and second crystalline epitaxial
2 layers are lattice mismatched.
- 1 5. The structure of claims 2, wherein said at least one first layer comprises a
2 composition graded relaxed epitaxial region.
- 1 6. The structure of claims 3, wherein said at least one second layer comprises
2 a composition graded relaxed epitaxial region.
- 1 7. The structure of claims 4, wherein said first and second layers comprise
2 composition graded relaxed epitaxial regions.
- 1 8. The structure of claim 7, wherein said at least one first layer comprises a first
2 composition graded relaxed epitaxial region and a first uniform composition layer.
- 1 9. The structure of claim 8, wherein said at least one second layer comprises a
2 second uniform composition layer and a second composition graded relaxed epitaxial
3 region.

1 10. The structure of claim 9, wherein said first and second uniform composition
2 layers are substantially lattice mismatched.

1 11. The structure of claim 9, wherein the surface of said at least one second
2 layer comprises substantially fewer threading dislocations and dislocation pile-ups.

1 12. The structure of claim 9, wherein said substrate comprises silicon, and said
2 first and second composition graded relaxed epitaxial regions and said first and second
3 uniform composition layers comprise a $\text{Ge}_x\text{Si}_{1-x}$ alloy.

1 13. The structure of claim 12, wherein the planarization occurs at a composition
2 of approximately 50%.

1 14. The structure of claim 13, wherein the final Ge concentration is
2 approximately between 70 and 100%.

1 15. The structure of claims 1, wherein said at least one second crystalline
2 epitaxial layer comprises a surface which is planarized.

1 16. The structure of claim 15, wherein subsequent epitaxial layers are provided
2 on said second layer, each of which comprises a surface which is planarized.

1 17. The structure of claim 1, wherein said first layer is planarized by chemical-
2 mechanical polishing.

1 18. The structure of claim 15, wherein a first planarization occurs at
2 approximately between 20 and 35% GeSi, and a second planarization occurs at
3 approximately between 50 and 70% GeSi.

1 19. The structure of claim 12, wherein compressive strain is incorporated in said
2 graded region to offset the tensile strain that is incorporated during thermal processing.

1 20. The structure of claim 1, wherein alloys of $\text{Ge}_x\text{Si}_{1-x}$ from $x=0$ to about
2 $x\approx 35\%$ are grown at 750°C , alloys from $x=35$ to about $x\approx 75\%$ are grown at between
3 650°C and 750°C , and alloys greater than 75% are grown at 550°C .

1 21. A semiconductor structure comprising:
2 a silicon substrate; and
3 a GeSi graded region grown on said silicon substrate, compressive strain being
4 incorporated in said graded region to offset the tensile strain that is incorporated during
5 thermal processing.

1 22. The structure of claim 21, wherein the compressive strain is incorporated by
2 growing GeSi alloys at lower temperatures such that the alloy does not completely relax.

1 23. The structure of claim 21, wherein the compressive strain is incorporated by
2 decreasing the growth temperature as Ge concentration increases in said graded region.

1 24. The structure of claim 21, wherein alloys of $\text{Ge}_x\text{Si}_{1-x}$ from $x=0$ to about
2 $x\approx 35\%$ are grown at 750°C , alloys from $x=35$ to about $x\approx 75\%$ are grown at between
3 650°C and 750°C , and alloys greater than 75% are grown at 550°C .

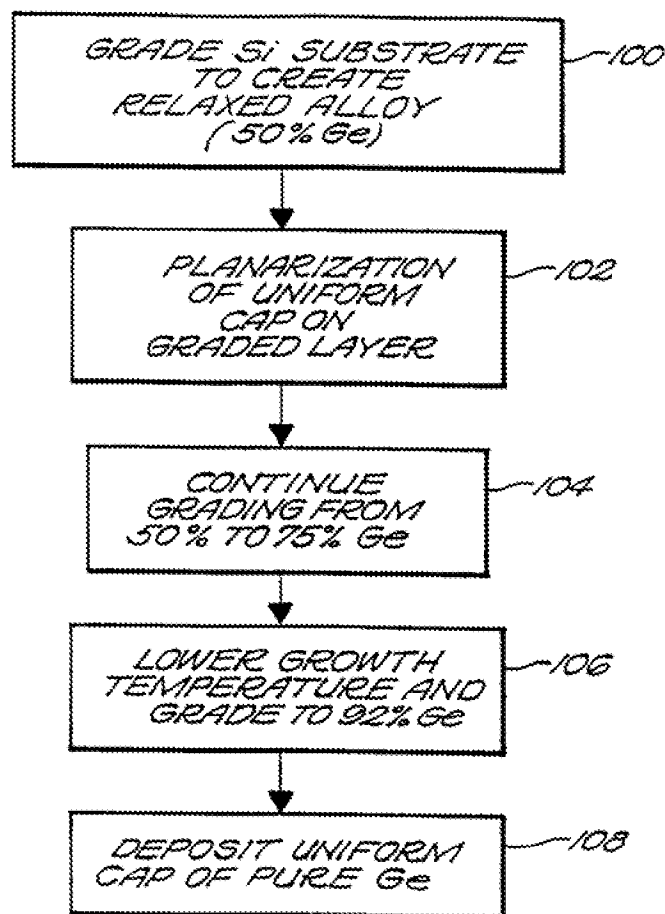
1 25. The structure of claim 21, wherein said graded region comprises a surface
2 which is planarized.

1 26. The structure of claim 25, wherein said graded region is planarized by
2 chemical-mechanical polishing.

1 27. A semiconductor structure comprising:
2 a semiconductor substrate;
3 a first layer having a graded region grown on said substrate, compressive strain
4 being incorporated in said graded region to offset the tensile strain that is incorporated
5 during thermal processing, said first layer having a surface which is planarized; and
6 a second layer provided on said first layer.

- 1 28. A method of fabricating a semiconductor structure comprising:
2 providing a semiconductor substrate;
3 providing at least one first crystalline epitaxial layer on said substrate; and
4 planarizing the surface of said first layer.
- 1 29. The method of claim 28 further comprising providing at least one second
2 crystalline epitaxial layer on said first layer.
- 1 30. The method of claim 28, wherein said step of providing said first layer
2 comprises growing a GeSi relaxed graded region on said substrate.
- 1 31. The method of claim 30 further comprising incorporating compressive strain
2 in said grade region to offset tensile strain incorporated during thermal processing.
- 1 32. The method of claim 31, wherein said step of incorporating compressive
2 strain comprises decreasing the growth temperature as Ge concentration increases in said
3 graded region.
- 1 33. The method of claim 32, wherein said step of incorporating compressive
2 strain comprises growing alloys of $\text{Ge}_x\text{Si}_{1-x}$ from $x=0$ to about $x\approx 35\%$ at 750°C ,
3 growing alloys from $x=35$ to about $x\approx 75\%$ at between 650°C and 750°C , and growing
4 alloys greater than 75% at 550°C .
- 1 34. The method of claim 28, wherein said step of planarizing comprises
2 chemical-mechanical polishing.

1/5

**FIG. 1**

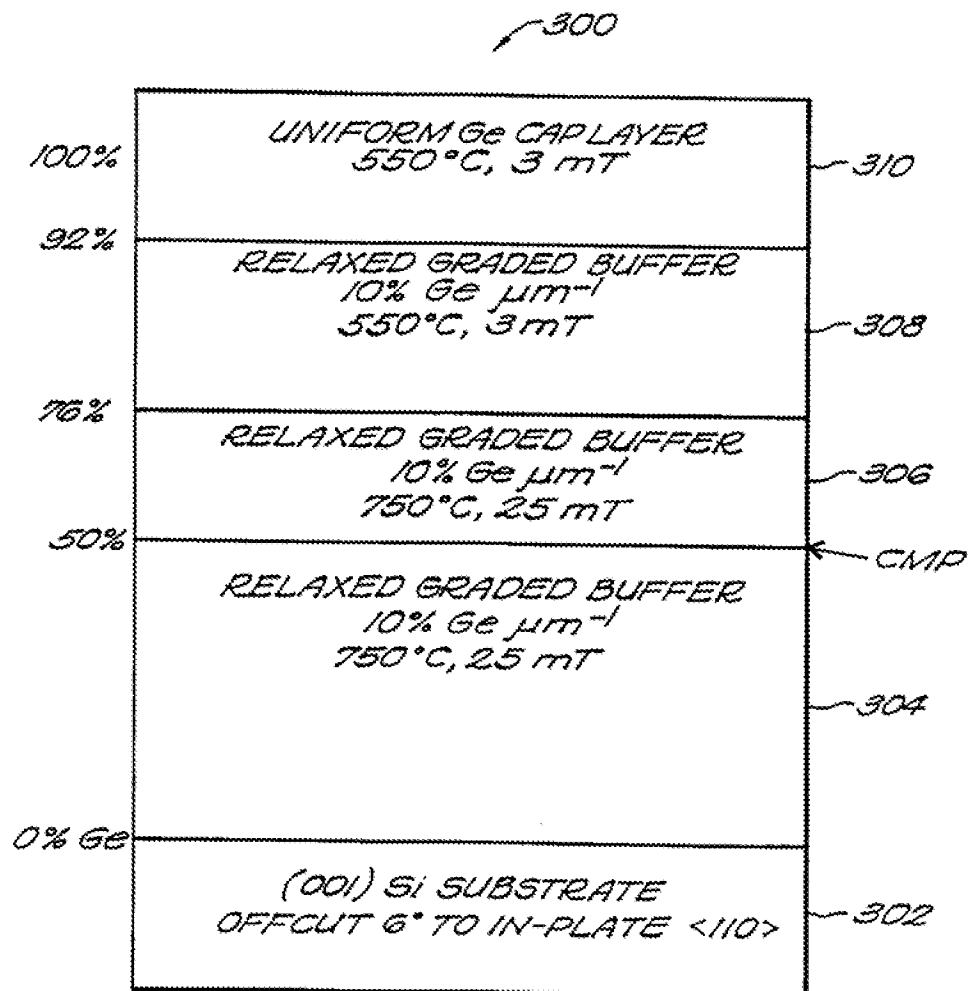
2/5

	SAMPLE A	SAMPLE B	SAMPLE C	SAMPLE D
FINAL Ge COMPOSITION	100 %	100 %	50 %	100 %
GRADING RATE (% Ge μm^{-1})	5	10	10	10
TOTAL EPITAXIAL THICKNESS (μm)	23	12	6.5	12
GROWTH TEMPERATURE (°C)	750	800	750	50-76%: 750 76-100%: 550
GROWTH PRESSURE (mT)	25	50	25	50-76%: 25 76-100%: 3
CMP AT 50%	NO	NO	—	YES
THREADING DISLOCATION DENSITY (cm^{-2})	$1 \pm 0.1 \times 10^7$	$1-5 \times 10^7$	$6.3 \pm 0.1 \times 10^6$	$2.1 \pm 0.2 \times 10^6$
CRACK DENSITY (cm^{-1})	47 ± 5	0	0	0
PARTICLE DENSITY (cm^{-2})	1250 ± 100	600 ± 40	50 ± 5	150 ± 10
RMS ROUGHNESS (nm)	35.9	47	37.3	24.2
a_{\perp} OF TOP LAYER (Å)	5.6559	5.6558	5.5327	5.6597
a_{\parallel} OF TOP LAYER (Å)	5.6559	5.6552	5.5352	5.6409

GROWTH PARAMETERS AND CHARACTERIZATION RESULTS
OF SAMPLES A-D

FIG. 2

3/5

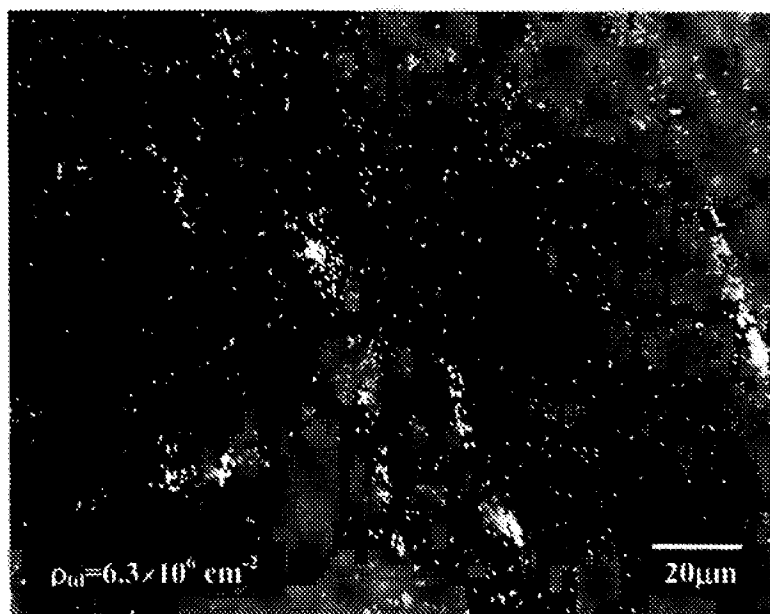
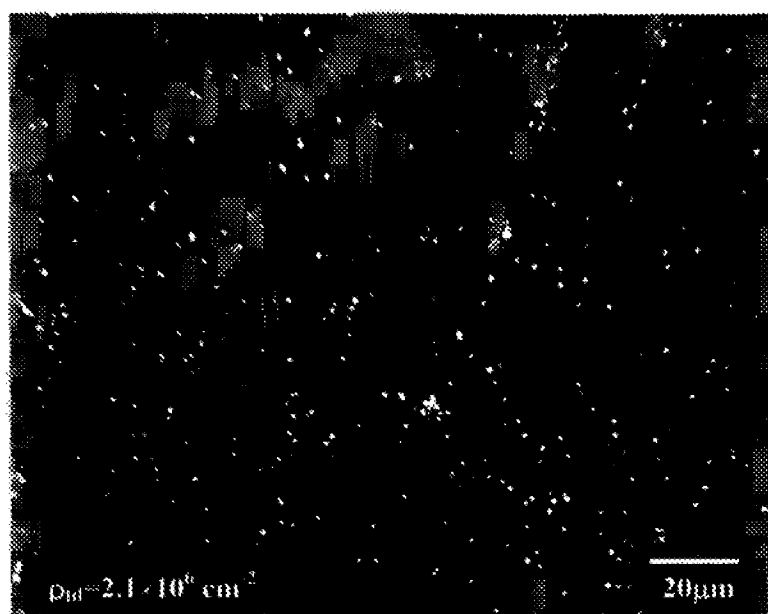
**FIG. 3**

4/5



FIG. 4

5/5

*FIG. 5A**FIG. 5B*

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 98/13076

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	FR 2 701 599 A (FUJITSU LIMITED) 19 August 1994 see page 4, line 23 - page 5, line 21 see page 7, line 10 - page 8, line 25	1, 2, 11, 17, 28, 29, 34
A	EP 0 514 018 A (AMERICAN TELEPHONE & TELEGRAPH) 19 November 1992	
P, X	M.T. CURRIE ET AL: "Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing." APPLIED PHYSICS LETTERS, vol. 72, no. 14, 6 April 1998, pages 1718-1720, XP002079773 USA see the whole article	1-34

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"S" document member of the same patent family

Date of the actual completion of the international search

7 October 1998

Date of mailing of the international search report

27/10/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 apo nl,
Fax: (+31-70) 340-3016

Authorized officer

Schuermans, N

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 98/13076

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2701599 A	19-08-1994	JP 6244112 A	02-09-1994
		US 5399522 A	21-03-1995
EP 0514018 A	19-11-1992	US 5221413 A	22-06-1993
		JP 2792785 B	03-09-1998
		JP 6252046 A	09-09-1994
		US 5442205 A	15-08-1995



PCT

WORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

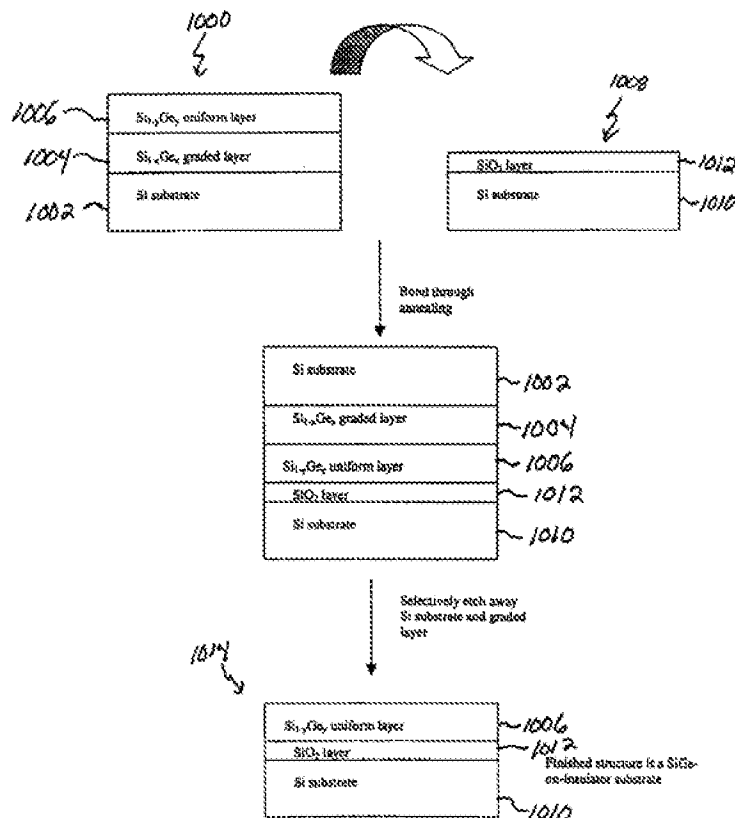
INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : H01L 21/306		(11) International Publication Number: WO 99/53539
A1		(43) International Publication Date: 21 October 1999 (21.10.99)
(21) International Application Number: PCT/US99/07849		(81) Designated States: CA, JP, European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published <i>With international search report.</i> <i>Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments.</i>
(22) International Filing Date: 9 April 1999 (09.04.99)		
(30) Priority Data: 60/081,301 10 April 1998 (10.04.98) US		
(71) Applicant: MASSACHUSETTS INSTITUTE OF TECHNOLOGY [US/US]; 77 Massachusetts Avenue, Cambridge, MA 02139 (US).		
(72) Inventors: WU, Kenneth, C.; 504 Beacon Street #43, Boston, MA 02115 (US). FITZGERALD, Eugene, A.; 7 Camelot Road, Windham, NH 03087 (US). BORENSTEIN, Jeffrey, T.; 111 Lewis Road, Belmont, MA 02178 (US).		
(74) Agents: CONNORS, Matthew, E. et al.; Samuels, Gauthier & Stevens, Suite 3300, 225 Franklin Street, Boston, MA 02110 (US).		

(54) Title: SILICON-GERMANIUM ETCH STOP LAYER SYSTEM

(57) Abstract

A SiGe monocrystalline etch-stop material system on a monocrystalline silicon substrate. The etch-stop material system can vary in exact composition, but is a doped or undoped $\text{Si}_{1-x}\text{Ge}_x$ alloy with x generally between 0.2 and 0.5. The etch-stop of the invention includes the use of a graded-composition buffer between the silicon substrate and the uniform SiGe etch-stop material. Nominally, the buffer has a linearly-changing composition with respect to thickness, from pure silicon at the substrate/buffer interface to a composition of germanium, and dopant if also present, at the buffer/etch-stop interface which can still be etched at an appreciable rate. Here, there is a strategic jump in germanium and concentration from the buffer side of the interface to the etch-stop material, such that the etch-stop layer is considerably more resistant to the etchant. The etch-stop is used for micromachining by aqueous anisotropic etchants of silicon such as potassium hydroxide, sodium hydroxide, lithium hydroxide, ethylenediamine/pyrocatechol/pyrazine (EDP), TMAH, and hydrazine.



FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AL	Albania	ES	Spain	LS	Lesotho	SI	Slovenia
AM	Armenia	FI	Finland	LT	Lithuania	SK	Slovakia
AT	Austria	FR	France	LU	Luxembourg	SN	Senegal
AU	Australia	GA	Gabon	LV	Latvia	SZ	Swaziland
AZ	Azerbaijan	GB	United Kingdom	MC	Monaco	TD	Chad
BA	Bosnia and Herzegovina	GE	Georgia	MD	Republic of Moldova	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagascar	TJ	Tajikistan
BE	Belgium	GN	Guinea	MK	The former Yugoslav Republic of Macedonia	TM	Turkmenistan
BF	Burkina Faso	GR	Greece	ML	Mali	TR	Turkey
BG	Bulgaria	HU	Hungary	MN	Mongolia	TT	Trinidad and Tobago
BJ	Benin	IE	Ireland	MR	Mauritania	UA	Ukraine
BR	Brazil	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Iceland	MX	Mexico	US	United States of America
CA	Canada	IT	Italy	NE	Niger	UZ	Uzbekistan
CF	Central African Republic	JP	Japan	NL	Netherlands	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norway	YU	Yugoslavia
CH	Switzerland	KG	Kyrgyzstan	NZ	New Zealand	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Democratic People's Republic of Korea	PL	Poland		
CM	Cameroon	KR	Republic of Korea	PT	Portugal		
CN	China	KZ	Kazakhstan	RO	Romania		
CU	Cuba	LC	Saint Lucia	RU	Russian Federation		
CZ	Czech Republic	LI	Liechtenstein	SD	Sudan		
DE	Germany	LK	Sri Lanka	SE	Sweden		
DK	Denmark	LR	Liberia	SG	Singapore		
EE	Estonia						

SILICON-GERMANIUM ETCH STOP LAYER SYSTEM**PRIORITY INFORMATION**

This application claims priority from provisional application Ser. No. 60/081,301 filed

5 April 10, 1999.

BACKGROUND OF THE INVENTION

The invention relates to the field of etch-stop material systems on monocrystalline silicon.

Microelectromechanical systems (MEMS) form the bridge between conventional
10 microelectronics and the physical world. They serve the entire spectrum of possible applications. MEMS include such varied devices as sensors, actuators, chemical reactors, drug delivery systems, turbines, and display technologies. At the heart of any MEMS is a physical structure (a membrane, cantilever beam, bridge, arm, channel, or grating) that is "micromachined" from silicon or some other electronic material. Since MEMS are of about the same size scale and, ideally,
15 fully integrated with associated microelectronics, naturally they should capitalize on the same materials, processes, equipment, and technologies as those of the microelectronics industry. Because the process technology for silicon is already extensively developed for VLSI electronics, silicon is the dominant material for micromachining. Silicon is also mechanically superior to compound semiconductor materials and, by far, no other electronic material has been as
20 thoroughly studied.

A wide array of micromachined silicon devices are fabricated using a high boron concentration "etch-stop" layer in combination with anisotropic wet etchants such as

ethylenediamine and pyrocatechol aqueous solution (EDP), potassium hydroxide aqueous solution (KOH), or hydrazine (N_2H_2). Etch selectivity is defined as the preferential etching of one material faster than another and quantified as the ratio of the faster rate to the slower rate.

Selectivity is realized for boron levels above 10^{19} cm^{-3} , and improves as boron content increases.

5 It should be noted that etch stops are also used in bond and etch-back silicon on insulator (BESOI) processing for SOI microelectronics. The etch-stop requirements differ somewhat from those of micromachining, e.g., physical dimensions and defects, but the fundamentals are the same. Hence, learning and development in one area of application can and should be leveraged in the other. In particular, advances in relaxed SiGe alloys as substrates for high speed electronics
10 suggests that a bond-and-etch scheme for creating SiGe-on-insulator would be a desirable process for creating high speed and wireless communications systems.

SUMMARY OF THE INVENTION

Accordingly, the invention provides a SiGe monocrystalline etch-stop material system on a
15 monocrystalline silicon substrate. The etch-stop material system can vary in exact composition, but is a doped or undoped $Si_{1-x}Ge_x$ alloy with x generally between 0.2 and 0.5. Across its thickness, the etch-stop material itself is uniform in composition. The etch stop is used for micromachining by aqueous anisotropic etchants of silicon such as potassium hydroxide, sodium hydroxide, lithium hydroxide, ethylenediamine/ pyrocatechol/ pyrazine (EDP), TMAH, and
20 hydrazine. For example, a cantilever can be made of this etch-stop material system, then released from its substrate and surrounding material, i.e., "micromachined", by exposure to one of these etchants. These solutions generally etch any silicon containing less than $7 \times 10^{19} \text{ cm}^{-3}$ of boron or

undoped $\text{Si}_{1-x}\text{Ge}_x$ alloys with x less than approximately 18.

Alloying silicon with moderate concentrations of germanium leads to excellent etch selectivities, i.e., differences in etch rate versus pure undoped silicon. This is attributed to the change in energy band structure by the addition of germanium. Furthermore, the nondegenerate
5 doping in the $\text{Si}_{1-x}\text{Ge}_x$ alloy should not affect the etch-stop behavior.

The etch-stop of the invention includes the use of a graded-composition buffer between the silicon substrate and the SiGe etch-stop material. Nominally, the buffer has a linearly-changing composition with respect to thickness, from pure silicon at the substrate/ buffer interface to a composition of germanium, and dopant if also present, at the buffer/ etch-stop interface
10 which can still be etched at an appreciable rate. Here, there is a strategic jump in germanium and concentration from the buffer side of the interface to the etch-stop material, such that the etch-stop layer is considerably more resistant to the etchant.

In accordance with one embodiment of the invention, there is provided a monocrystalline etch-stop layer system for use on a monocrystalline silicon substrate, the system comprising a
15 graded layer of $\text{Si}_{1-x}\text{Ge}_x$ and a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$. In a particular embodiment, the buffer layer is graded up to approximately $\text{Si}_{0.8}\text{Ge}_{0.2}$ and a uniform etch-stop layer of approximately $\text{Si}_{0.7}\text{Ge}_{0.3}$.

In another embodiment of the invention, there is provided a method of fabricating a monocrystalline etch-stop layer on a silicon substrate comprising depositing a graded buffer layer
20 of $\text{Si}_{1-x}\text{Ge}_x$ on the silicon substrate; and depositing a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$ on the graded buffer layer. In a particular embodiment, the buffer layer is graded up to approximately $\text{Si}_{0.8}\text{Ge}_{0.2}$ on the silicon substrate; and the uniform etch-stop layer of $\text{Si}_{0.7}\text{Ge}_{0.3}$ is deposited on the

graded buffer layer.

In yet another embodiment of the invention, there is provided a method of micromachining an integrated device comprising providing a silicon substrate; depositing a graded buffer layer of $\text{Si}_{1-x}\text{Ge}_x$ on the silicon substrate; depositing a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$ on the graded
5 buffer layer; etching portions of the silicon substrate and the graded buffer layer in order to release the etch-stop layer; and processing the released etch-stop layer.

BRIEF DESCRIPTION OF THE DRAWINGS

FIGs. 1A-1D are functional block diagrams of exemplary epitaxial SiGe etch stop
10 structures configured on a silicon substrate in accordance with the invention;

FIG. 2 is a cross-sectional TEM micrograph of the structure of FIG. 1B;

FIG. 3 is a cross-sectional TEM micrograph of the structure of FIG. 1C;

FIG. 4 is graph of dopant concentrations of the structure of FIG. 1A;

FIG. 5 is a graph of dopant concentrations of the structure of FIG. 1D;

15 FIG. 6A is a graph showing the cylindrical etch results of the structure of FIG. 1A; FIG.
6B is graph showing a magnification of the left side of FIG. 6A;

FIG. 7 is a graph showing the cylindrical etch results of the structure of FIG. 1D;

FIG. 8 is a graph showing the etch rates for <100> intrinsic silicon in 34% KOH at 60°C
normalized by 18.29 $\mu\text{m/hr}$ of the structures of FIGs. 1A-1D;

20 FIG. 9 is a photograph of a top view of a micromachined proof mass; and

FIG. 10 is a block diagram of a process for fabricating an SiGe-on-insulator structure.

DETAILED DESCRIPTION OF THE INVENTION

In the traditional method of forming etch stops in Si micromachining or in certain SOI processes, good etch-stop results are only obtained at very high concentrations of boron, and the dopant's effect on the silicon crystal structure becomes vitally important. Substitution of a silicon atom site with boron, a smaller atom than silicon, contracts the silicon lattice. As the doped lattice remains coherent with the lattice of the undoped substrate, a biaxial "lattice mismatch" stress is generated in the plane of the substrate. This stress biaxially elongates, i.e., elastically strains, the doped material in the same plane. As the base of a unit cell is strained, so is the height via Poisson distortion. Therefore, the Si:B lattice is vertically contracted as it is horizontally expanded, leading to a smaller vertical lattice constant than the equilibrium value. For thin layers of Si:B, it is energetically favorable for the material to be elastically strained like this, i.e., "pseudomorphic".

As the thickness of the doped layer grows, however, the total strain energy per unit area of film increases proportionally, until the layer surpasses a "critical thickness" when it is energetically favorable to introduce dislocations instead of elastically straining the film. Dislocation loops are heterogeneously nucleated at the film surface or film edges and grow larger, gliding towards the substrate-film interface. When a loop meets the interface, the two ends (now called "threading" dislocations because they traverse the thickness of the film) continue to travel away from each other, trailing a line defect at the interface known as a "misfit" dislocation. The misfit dislocations accommodate the lattice-mismatch stress, relieving the horizontal and vertical strains and restoring the in-plane and perpendicular lattice constants to the equilibrium value, i.e., "relaxing" the material. For a low-mismatched lightly strained epitaxial film on a diamond cubic

or zincblende substrate, a mesh of orthogonal $\langle 110 \rangle$ misfit dislocations is the most likely configuration because of the $\{111\}\langle 110 \rangle$ easy slip system for these crystal structures at elevated temperatures, such as those involved in diffusion and most CVD processes.

At high enough quantities, the effects of any dissimilar-sized substitutional atom on the silicon microstructure are the same as those of boron. Of course, the impact depends on the relative size and concentration of the substitutional species. Also, incorporation of a larger atom than silicon, e.g., germanium, would result in compressive stress and strain rather than a tensile situation like Si:B.

In the conventional etch stop process, extremely high concentrations of boron are needed to achieve a high etch rate selectivity. These very high boron concentrations lead to dislocation introduction in the thick films that are desired in many MEMS applications. Since the p^{++} process is created usually through a diffusion process, there is a gradient in dislocation density and a gradient in the boron concentration. Because the etch stops in the boron concentration gradient, the thin film part typically possesses large curvature, which is compensated for by an annealing treatment. In addition, the etch stop selectivity is extremely sensitive to the boron concentration. If the concentration falls below the critical $7 \times 10^{19} \text{ cm}^{-3}$, the selectivity is drastically different. Thus, since this boron concentration is near the solubility limit, dopant concentration fluctuations in the vertical and lateral dimensions produce low yields in MEMS processes. The SiGe etch stop breaks the link between dopant concentration and etch selectivity. Also, since the SiGe alloy is a miscible alloy system, there is continuous complete solubility between Si and Ge.

The theory of anisotropic etching of silicon as described by Seidel et al., J. Electrochem. Soc. 137, pp. 3626-31 (1990), incorporated herein by reference, is widely considered the

appropriate model. Although specifics like absolute etch rate and dissolution products may differ, the general concept is valid for all anisotropic etchants, as they are all aqueous alkaline solutions and the contribution of the etchant is modeled as nothing more specific than H_2O and OH^- . Indeed, the existing literature shows consistent behavior among the etchants.

5 Early work on etch rate reduction in p^{++} Si:B presented no hypotheses beyond empirical data. Two possible explanations for the etch-stop phenomenon were proposed: stronger bonding from the high boron concentration or the formation of a boron-based passivation layer. As research accumulated, the etch-stop theories aligned along two credible approaches. The electronic models assign etch-stop behavior to the action of carriers while the passivation models
10 directly attribute it to the formation of a passivating oxide-based layer on the silicon surface.

Others concluded that the etch-rate decrease is sensitive to hole concentration and not to atomic concentration of boron or stress. They observed an etch rate drop that was proportional to the fourth power of the increase in boron concentration beyond about $3 \times 10^{19} \text{ cm}^{-3}$. Four electrons are required by a red-ox etching process they described, leading them to explain the
15 etch-stop effect in p^{++} material as an increased probability that the electrons are lost to Auger recombination because of the higher hole concentrations.

Seidel et al. agreed with the electron recombination hypothesis. They saw the etch rate begin to fall around $2\text{-}3 \times 10^{19} \text{ cm}^{-3}$, which agrees with the doping level for the onset of degeneracy, $2.2 \times 10^{19} \text{ cm}^{-3}$. At degeneracy, the Fermi level drops into the valence band and the
20 band-bending is confined to a thickness on the order of one atomic layer. The injected electrons needed for etching are able to tunnel through such a narrow potential well and recombine in the p^{++} bulk crystal, which halts the etching reaction. The remnant etch rate in the etch-stop regime

is attributed to the conduction band electrons, whose quantity is inversely proportional to the hole, i.e. boron, concentration. Four electrons are required to etch one silicon atom, which explains the dependence of the remnant etch rate on the fourth power of the boron concentration.

It was observed that the formation of an SiO_x passivation layer on p^{++} $\text{Si:B}(2 \times 10^{20} \text{cm}^{-3})$ in aqueous KOH by *in situ* ellipsometric measurements. In the case of p^+ -Si, a large number of holes at the surface causes spontaneous passivation with a thin oxide-like layer. The layer is not completely networked like thermal oxide, so it is etched faster and there is still transport of reactants and etch products across the layer, leading to some finite overall etch rate. The lattice strain induced by a high dopant concentration could enhance the layer's growth. Furthermore, the etch rate reduction is not a Fermi-level effect since the phenomenon is exhibited by both heavily doped p- and n-silicon.

Chen et al., J. Electrochem. Soc. 142, p.172 (1995), assimilated the observations and hypotheses above and their own findings into a composite electrochemical model, where etch stopping is attributed to the enhancement of the oxide film growth rate under high carrier concentration. The key process is hole-driven oxidation at the interface, which inhibits etching by competing with a reaction for Si-Si bonds and hydroxyl radicals, but more importantly, by building the SiO_x barrier. In p^{++} silicon, a sufficient quantity of holes for etch-stop behavior is supplied as the converse of the electron action outlined by Seidel et al. That is, instead of electrons thermally escaping the potential well or tunneling through into the bulk crystal, holes from the bulk crystal thermally overcome or tunnel through the potential barrier to the interface. It will be appreciated that this etch-stop process is dynamic, i.e., it is a continuous competition of silicon dissolution and formation/ dissolution of the oxide-like layer, whose net result is a nonzero

etch rate.

Germanium is appealing as an etch-resistant additive because it is isoelectronic to, and perfectly miscible in, silicon and diffuses much less readily than dopants and impurities in silicon. Furthermore, the epitaxy of silicon-germanium alloys is selective with respect to silicon oxide, facilitating patterning and structuring, and even affords higher carrier mobilities to electronics monolithically integrated with MEMS.

Existing germanium-based etch-stop systems are, at best, only marginally suitable for silicon micromachining. In spite of the aforementioned advantages to using germanium, currently there is an inadequate understanding of the etch-stop effect in silicon-germanium materials and no information on anisotropic etching of high germanium content solid solutions.

Many isotropic etchants for pure germanium exist. Common to all of these is an oxidizer, such as HNO_3 or H_2O_2 , and a complexing agent to remove the oxide, like HF or H_3PO_4 . Early studies were made on isotropic germanium etching by solutions such as "Superoxol", a commercially available H_2O_2 - HF recipe. More recently, investigations have been made on various combinations of HNO_3 , HNO_2 , HF , H_2SO_4 , H_2SO_2 , CH_3COOH , H_2O_2 , and H_2O .

In fact, some of these compositions selectively etch germanium or silicon-germanium alloys over silicon, because of differences in the relative oxidation or oxide dissolution rates, but only one etchant exhibits the inverse preference relevant to this project: 100% NH_4OH at 75°C directly attacks polysilicon at $2.5 \mu\text{m/hr}$ but polygermanium at only 660 \AA/hr . Unfortunately, the selectivity is only about 37, the etch rate for silicon is impracticably slow, and the etch is isotropic, which limits its usefulness in micromachining.

Previous results with heavy concentrations of germanium in silicon are likewise

discouraging with respect to silicon micromachining. Shang et al., J. Electrochem. Soc. 141, p. 507 (1994), incorporated herein by reference, obtained a selectivity of 6 for relaxed, dislocated $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ (10^{19} cm^{-3}) in a KOH-propanol- $\text{K}_2\text{Cr}_2\text{O}_7$ aqueous solution. Yi et al., Mat. Res. Soc. Symp. Proc. 3779, p. 91 (1995), developed a novel $\text{NH}_4\text{NO}_3\text{-NH}_4\text{OH}$ etchant with
5 selectivities better than 1000 at 70°C for 10% and higher germanium alloys. The mixture does not etch pure germanium, but etches pure silicon at $5.67 \mu\text{m/hr}$, a weak pace for micromachining purposes. Both systems are isotropic.

By holding the $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ film under the critical thickness, Shang's team improved the selectivity in the same KOH-propanol- $\text{K}_2\text{Cr}_2\text{O}_7$ solution to about 40. Narozny et al., IEEE
10 IEDM (1988) 563, were the first to use such a "strain-selective" recipe, but only realized a selectivity of 20 (for 30% germanium doped with 10^{18} cm^{-3} boron) and a sluggish etch rate of $1.5 \mu\text{m/hr}$ at room temperature for pure silicon.²⁶ Although the results of Shang *et al.* and Narozny et al. might have simply been from the well-established etch-stop ability of boron, Godbey et al., Appl. Phys. Lett. 56, p. 374 (1990), achieved a selectivity of 17 with undoped
15 $\text{Si}_{0.7}\text{Ge}_{0.3}$. None of the articles on strain-selective etchants offer an explanation for the selectivity.

The anemic etch rate is a grave disadvantage because many MEMS structures can be fairly large compared to typical VLSI dimensions. Moreover, MEMS structures subjected to strain-selective etchants would have to be thinner than the critical thickness. However, as a
20 pseudomorphic structure is released and its strain relieved, the selectivity would deteriorate. A sacrificial strained etch-stop layer could be used, imposing additional process steps and design

constraints, but would at least provide advantages over current oxide/ nitride sacrificial layers: monocrystallinity can continue above the layer and silicon-germanium's growth selectivity with respect to oxide adds design/ patterning freedom.

The consensus of the research community has been that low concentrations of germanium
5 have little or no effect on etch stopping in anisotropic etchants like KOH and EDP. Up to 12% germanium, Seidel et al. detected no significant suppression of etch rate. p++ layers strain-compensated with 2% germanium showed no remarkable differences from those without germanium. By implanting germanium, Feijóo et al., J. Electrochem. Soc. 139, pp. 2312-13 (1992), attained a maximum selectivity of 12 to 24 in EDP at 80°C, corresponding to a dose with
10 a peak concentration of about 0.6%.

Finne et al., J. Electrochem. Soc. 114, p.969 (1967), however, observed that $\text{Si}_{1-x}\text{Ge}_x$ solid solutions with x as small as 0.05 did not etch in an ethylenediamine-pyrocatechol-water (EPW) solution. This discrepancy may be attributed to the use of {111} wafers, where accurate measurements are difficult because etching in the <111> direction is very slow. No other
15 information has been reported on germanium-rich alloys in anisotropic media.

Corresponding to the ostensible ineffectiveness of germanium as an etch-stop agent in most publications, there has been little discussion of the source of the limited selectivity that has been detected. Seidel et al. cautioned that their model for heavily-doped boron etch stops is not applicable to germanium because the element is isoelectronic to silicon. They assumed instead
20 that the small reduction of the etch rate is either due to changes in the energy band structure, or else a consequence of the extremely high concentration of lattice defects such as misfit dislocations which could act as recombination centers.

The invention provides a SiGe monocrystalline etch-stop material system on a monocrystalline silicon substrate. The etch-stop material system can vary in exact composition, but is a doped or undoped $\text{Si}_{1-x}\text{Ge}_x$ alloy with x generally between 0.2 and 0.5. Across its thickness, the etch-stop material itself is uniform in composition. The etch stop is used for micromachining by aqueous anisotropic etchants of silicon such as potassium hydroxide, sodium hydroxide, lithium hydroxide, ethylenediamine/ pyrocatechol/ pyrazine (EDP), TMAH, and hydrazine. For example, a cantilever can be made of this etch-stop material system, then released from its substrate and surrounding material, i.e., "micromachined", by exposure to one of these etchants. These solutions generally etch any silicon containing less than $7 \times 10^{19} \text{ cm}^{-3}$ of boron or undoped $\text{Si}_{1-x}\text{Ge}_x$ alloys with x less than approximately 18.

Thus, it has been determined that alloying silicon with moderate concentrations of germanium leads to excellent etch selectivities, i.e., differences in etch rate versus pure undoped silicon. This is attributed to the change in energy band structure by the addition of germanium. Furthermore, the nondegenerate doping in the $\text{Si}_{1-x}\text{Ge}_x$ alloy should not affect the etch-stop behavior.

The etch-stop of the invention includes the use of a graded-composition buffer between the silicon substrate and the SiGe etch-stop material. Nominally, the buffer has a linearly-changing composition with respect to thickness, from pure silicon at the substrate/ buffer interface to a composition of germanium, and dopant if also present, at the buffer/ etch-stop interface which can still be etched at an appreciable rate. Here, there is a strategic jump in germanium and concentration from the buffer side of the interface to the etch-stop material, such that the etch-stop layer is considerably more resistant to the etchant. For example, the buffer could grade up to

$\text{Si}_{0.85}\text{Ge}_{0.15}$, then jump to a uniform etch-stop layer of $\text{Si}_{0.7}\text{Ge}_{0.3}$. Nominally, the composition gradient in the buffer is 5-10% Ge/micron, and the jump in Ge concentration is 5-15 relative atomic percent Ge. The buffer and etch-stop materials are deposited epitaxially on a standard silicon substrate, such as by chemical vapor deposition (CVD) or molecular beam epitaxy (MBE).

- 5 Note in the above example that the germanium concentration leads to etch stop behavior, and therefore doping concentrations in the etch stop can be varied independently, without affecting etch selectivity.

With respect to the effect of crystalline defects on the etch-stop behavior, in accordance with the invention using $\text{Si}_{1-x}\text{Ge}_x$ alloys, the influence of defects is minimal. The use of a graded
10 buffer suppresses the threading dislocation density (TDD) in the top etch-stop layer, which leads to a uniform, nearly defect-free $\text{Si}_{1-x}\text{Ge}_x$ etch stop.

The significance of the jump in concentration(s) at the end of the graded region is that the part must be well defined and dimensions well controlled. Thus, a high selectivity should exist between the top etch-stop layer and the end of the graded region for abrupt, predictable etch-stop
15 behavior. A smooth compositional transition from buffer to etch-stop layer would lead to curved edges and greater dimensional variability in the micromachined part, whereas compositional jumps would yield clean, sharp edges and precise dimensions in the released structure. However, if the jump is too large, e.g., greater than ~20-25 atomic% Ge, the corresponding change in lattice constant, i.e., the lattice mismatch, would create defects.

- 20 The $\text{Si}_{1-x}\text{Ge}_x$ etch-stop material system, which can be substituted for heavily boron-diffused layers, broadens the spectrum of available etch-stop materials, including undoped (isoelectronic) materials, thus improving the design flexibility for micromachined structures. For

example, standard micromachining processes limit the dimensions of silicon sensor structures to a single uniform thickness. Resonant devices for inertial sensing would benefit considerably from more flexible design in which the resonators are thinner than the seismic mass. The invention provides an enabling technology for such a multi-thickness structure. Such a fundamental
5 advantage makes the novel technology widely applicable to the fabrication of MEMS by silicon micromachining.

A tremendously significant application is the ability to integrate mechanical and electronic devices on the same material. Replacement of the heavily boron-doped etch stop, which is incompatible with integrated circuit (IC) requirements, by isoelectronic and/or moderately-doped
10 etch stops of device quality allows concurrent processing of mechanical devices and associated electronics on the same wafer. Germanium is perfectly miscible in silicon and diffuses much less readily than dopants and impurities. Alloying with germanium also affords higher carrier mobilities to the electronic devices.

Furthermore, epitaxy of $\text{Si}_{1-x}\text{Ge}_x$ alloys is selective with respect to silicon oxide, which
15 facilitates patterning and structuring. In addition, defects do not seem to affect the etch-stop efficacy of these materials.

In developing the germanium-based etch stops of the invention, standard 3" or 4" phosphorous-doped ($2-4 \Omega\cdot\text{cm}$) or boron-doped ($7-10.2 \Omega\cdot\text{cm}$) (001) silicon substrates were used. The wafers were cleaned for 10 minutes in a piranha bath (3:1 95% H_2SO_4 in water: 30%
20 H_2O_2 in water) and 10 seconds in 4.4% HF and DI water. The substrates were then left in the load lock ($\sim 10^{-8}$ Torr) of the vertical UHVCVD reactor overnight. On the following day, the substrates were raised to the lip of the reactor chamber for about two hours to drive off any

volatiles, organics, and water. Then the wafers were desorbed of whatever oxide remained by raising them into the 850-900°C reactor chamber for several minutes. A silicon buffer layer on the order of 1 μm was deposited with SiH_4 while the reactor was brought to process temperature. Following this preparation procedure each time, the epitaxial structures were grown in the

5 temperature range 750-900°C using SiH_4 , GeH_4 , 1% B_2H_6 in H_2 , and 1% PH_3 in H_2 .

KOH and EDP were used in the etching. KOH is a commonly studied etchant, the simplest and easiest to consider, and relatively easy and safe to use. Although details of absolute etch rate differ, various anisotropic silicon etchants have behaved consistently. Seidel et al.'s well-subscribed theory of anisotropic etching is explicitly etchant-nonspecific. Results,

10 discussions, and conclusions regarding anisotropic etching and etch-stopping of silicon are widely considered to be valid for any anisotropic etchant. Cylindrical etching and patterned oxide masks were both used to determine the efficacy of Ge concentration on etch rate.

To test the utility of the relaxed epitaxial SiGe etch stops, epitaxial structures were fabricated: WU_2, WU_3, WU_4, and UHV_17 as shown in FIGs. 1A-1D. FIG. 1A is a

15 functional block diagram of an epitaxial SiGe etch stop structure 100 (WU_2) configured on a silicon substrate 102. The structure includes a plurality of relaxed graded layers 104 that vary from $\text{Si}_{0.98}\text{Ge}_{0.02}$, $5 \times 10^{20} \text{cm}^{-3}$ B at the substrate surface, to the top surface layer of $\text{Si}_{0.74}\text{Ge}_{0.26}$, 10^{18}cm^{-3} P. The thickness of each layer are provided in μm .

FIG. 1B is a functional block diagram of an epitaxial SiGe etch stop structure 110

20 (WU_3) configured on a silicon substrate 112. The structure includes a plurality of relaxed graded layers 114 that vary from $\text{Si}_{0.99}\text{Ge}_{0.01}$ at the substrate surface, to the top surface layer of $\text{Si}_{0.84}\text{Ge}_{0.16}$.

FIG. 1C is a functional block diagram of an epitaxial SiGe etch stop structure 120 (WU_4) configured on a silicon substrate 122. The structure includes a relaxed graded layer 124 of $\text{Si}_{0.66}\text{Ge}_{0.34}$.

FIG. 1D is a functional block diagram of an epitaxial SiGe etch stop structure 130 (WU_4) configured on a silicon substrate 132. The structure includes a plurality of relaxed graded layers 134 that vary from $\text{Si}_{0.97}\text{Ge}_{0.03}$, $3 \times 10^{15} \text{ cm}^{-3} \text{ B}$ at the substrate surface, to the top surface layer of $\text{Si}_{0.66}\text{Ge}_{0.34}$, $4 \times 10^{16} \text{ cm}^{-3} \text{ B}$.

The compositional grading is known to considerably relax the superficial epitaxial layer while effectively suppressing the TDD. The slow grading rate and generous thickness of these epistructures assure a well-relaxed top film. Thus, the graded buffer enables etching experiments on relaxed, high quality, high germanium content alloys, an etching regime that has never been accessible before. As discussed heretofore, prior research dealt with pseudomorphic $\text{Si}_{1-x}\text{Ge}_x$ layers or low concentrations of germanium to minimize dislocations, or heavy germanium alloys saturated with threading dislocations. Hence, the grading technique permits one to use the intrinsic etch-stop properties of $\text{Si}_{1-x}\text{Ge}_x$ solid solutions.

Based on the approximate volume of a cross-sectional TEM sample, a single threading dislocation in a TEM sample represents a TDD of about 10^8 cm^{-2} . FIG. 2 is a cross-sectional TEM micrograph of structure 110 (WU_3). The top surface is in the upper right direction. The parallel lines (misfit dislocations) define the graded buffer. No threading dislocations can be found, which confirms high crystalline quality. The blurred vertical bands are "bend contours", an artifact of TEM, not threading dislocations.

The absence of threading dislocations in FIG. 2 confirms that structures 110 (WU_2), 120

(WU_3), and 130 (UHV_17), which were processed in virtually identical fashion, contain very few defects. TDDs in such relaxed, graded structures have been shown to be in the range of 10^5 - 10^6 cm⁻². By omitting the graded buffer, structure 120 (WU_4) was intentionally processed to be significantly imperfect, as verified by FIG. 3. FIG. 3 is a cross-sectional TEM micrograph of structure 120 (WU_4). The top surface is to the right. In contrast to FIG. 2, this film is saturated with threading dislocations, which confirms poor crystalline quality. The misfit dislocations in all four of these samples are buried under such a thick overlayer that they cannot possibly affect etching from the top surface.

Dopant concentrations of structures 100 (WU_2) and 130 (UHV_17) are shown in the graphs of FIGs. 4 and 5 respectively. The dopant concentrations were calculated from the mobilities of pure silicon and pure germanium, as indicated. Since structure 130 (UHV_17) contains 30% germanium, the true boron content lies somewhere in between, closer to the pure silicon line. Regardless, it is clear that the boron doping does not approach the levels needed for etch stopping. Structure 130 was doped p-type to investigate potential interactions or synergies with germanium that were suppressed in structure 100 by intentional background n-doping.

The characteristics of these materials (top layer) that are relevant to etching are summarized in the following table.

sample	avg %Ge (EDX)	doping [cm ⁻³]	defect density (TEM)
WU_2	26	10 ¹⁸ P (SIMS)	Low
WU_3	17	None	Low
WU_4	34	None	High
UHV_17	30	4x10 ¹⁶ B (SRP)	Low

Structure 100 (WU_2) was used to identify the critical germanium concentration by

cylindrically etching and to obtain etch rate values by etching from the top surface.

The cylindrical etch results of structure 100 (WU_2), as shown in the graph of FIG. 6A, confirm the etch-stop behavior of germanium and narrowed the threshold germanium concentration to the range of 16-22%. It was ensured that there were no effects from boron by doping the film n-type. The terraces on the left of the graph, defined by the round dots, represent the layers in the epistructure. The left scale reflects the depth of each layer while the right scale relates the nominal germanium concentration of each layer. The arc is the initial groove surface, and the square dots trace the etched surface.

FIG. 6B is a magnification of the left side of FIG. 6A. It is clear that the etch rate increases dramatically somewhere around 18-20% germanium, suggesting that the critical germanium concentration is in that vicinity.

The cylindrical etch results of structure 130 (UHV_17), as shown in the graph of FIG. 7, show the etch accelerating dramatically around 4.8-5 μm depth. The 5% Ge/ μm grading rate reasonably assures that the threshold germanium concentration is near 20% germanium. The profiles of each side of the groove are shown. The lower bar marks where the profile begins to deviate from the initial grooved shape. The depth of this point appears to be 4.8-5.0 μm below the top surface.

The results of the etch rate tests using oxide windows are presented in the following table.

wafer	at% Ge	concentration Ge [cm^{-3}]	etch rate [$\mu\text{m/hr}$]
WU_2	25.6	1.28×10^{22}	0.070
WU_3	16.9	8.45×10^{21}	0.234
WU_4	34.0	1.70×10^{22}	0.040
UHV_17	30.0	1.50×10^{22}	0.133

The etch rate for <100> intrinsic silicon in 34% KOH at 60°C was taken as 18.29 $\mu\text{m/hr}$ from Seidel *et al.* The experimental data for structures 100 (WU_2), 110 (WU_3), 120 (WU_4), and 130 (UHV_17) are shown in the table. Normalized by 18.29 $\mu\text{m/hr}$, they are plotted in the graph of FIG. 8 along with Seidel *et al.*'s points.

5 Some features in FIG. 8 should be emphasized. First, there was appreciably greater variability, both up and down, in the individual etch rates of "good" structure 120 (WU_4) pieces than of the other good samples, hence the error bar. A comparison of all the data supports the belief that the considerable surface roughness of structure 120 (WU_4), from lattice-mismatch stress and the high TDD, is probably to blame. Thus, the graded layer has already proven its
10 efficacy since the graded layer samples did not display this problem.

The shape of the new curve very closely resembles that of EDP-boron curve, adding confidence in the new data as well as implying the existence of a universal etch-stop model. In addition, KOH, a more environmentally friendly etch stop than EDP, appears to be a better etch stop with SiGe alloy than EDP with the conventional p++ etch stop.

15 Despite the popular sentiment in the literature, it is indisputable that silicon-germanium alloys with sufficient germanium are exceptional etch stops that rival the most heavily boron-doped materials. Three different etching techniques and two etchant systems, KOH and EDP, conclusively show this. The intersection of the steep portion of the KOH-germanium curve with unity relative etch rate, the so-called "critical concentration" as defined by Seidel *et al.*, appears to
20 be $2 \times 10^{21} \text{ cm}^{-3}$, i.e., 4%, for germanium. Although this value is about 100 times greater than their "critical concentration" for boron, higher selectivities can theoretically be attained with germanium because there are neither solid solubility nor electrical activity limits.

The substantial selectivities obtained from the well-relaxed, low-defect sample structures 100 (WU_2), 110 (WU_3), and 130 (UHV_17) indicate that strain, induced by defects or dissimilar atomic radii, is not principally responsible for etch-stop behavior.

Defects do not play a central role in etch resistance. The excellent results from WU_2, 5 WU_3, and UHV_17, relaxed materials with low TDDs, controvert the speculation that lattice defects serving as recombination centers cause the etch stop behavior with germanium or isoelectronic additives, respectively. Furthermore, a comparison of the etch rate of structure 120 (WU_4) to the KOH- germanium trendline indicates that even a high TDD does not influence etch stopping dramatically (if at all), nor in a predictable fashion.

10 The immediately attractive explanation for germanium's newfound etch-stop potency in silicon is the mechanism outlined by R. Leancu, *Sensors and Actuators*, A 46-47 (1995) 35-37, incorporated herein by reference. For 15-30% germanium, it seems more logical to interpolate from the bulk properties of pure germanium than to postulate only how germanium influences the properties of otherwise pure silicon. That is, one should give the germanium atom just as much 15 credit as the silicon atom, since it is no longer a dopant, but rather an alloying species in the truest sense. Thus, the silicon-germanium alloys in question should show a palpable influence from the etching characteristics of pure germanium, which include a slow rate in KOH.

Keeping this simple chemistry approach in mind, a completely miscible binary system like silicon-germanium would display a linear dependence of etch rate versus alloy composition. Even 20 without etch rate data at high germanium concentrations, including pure germanium, FIG. 8 plainly illustrates that such is not the case. Along the same lines, it is unclear why there would be some critical concentration of germanium for an etch-stop effect if the etch rate is simply a

consequence of chemical structure, i.e., the proportion of each element. In fact, a nonlinear plot and a critical concentration imply that the etch rate is a function of energy band structure rather than chemical structure.

On a related note, FIG. 8 shows that the germanium-KOH curve is remarkably similar in shape, but not necessarily slope, to the boron-EDP curve, which ascribes its shape to the electronic etch-stop theory. It is difficult to imagine that the germanium-KOH data would just happen to resemble the boron-EDP data, based on a completely different model that warns of no applicability to germanium. That is, it is highly improbable that the true etch-stop mechanism for germanium is entirely unrelated to the true mechanism for boron when the shapes agree so well.

There are reasons to consider an energy band model to account for the etch-stop behavior in silicon-germanium solid solutions. First, the $\text{Si}_{1-x}\text{Ge}_x$ data resemble the p++ Si:B data, including the critical concentration and power-law dependence of the remnant etch rate, and the p++ Si:B data is explained well by energy band effects. At these quantities, germanium is known to markedly change the band structure of silicon. Furthermore, two possible mechanisms for the etch stop effect of germanium were defects and energy bands. Defect enhanced recombination can be eliminated due to our graded layer approach. Energy band structure is the only other possibility.

Pure bulk germanium has an energy bandgap, E_g , of 0.66 eV at room temperature, compared to 1.12eV for pure bulk silicon. Hence, the addition of germanium to silicon reduces the bandgap; unstrained $\text{Si}_{0.7}\text{Ge}_{0.3}$, the situation for samples WU_2, WU_3, WU_4, and UHV_17, has an energy gap of approximately 1.04 eV. Germanium also has a smaller electron affinity, χ , than silicon, 4.00eV versus 4.05eV. Thus, the incorporation of germanium decreases

the electron affinity as well. As germanium is added, the shrinking bandgap and electron affinity reduce the band-bending, the potential well in the conduction band, and the potential barrier in the valence band.

The height of the potential barrier in the valence band, b , is given by:

$$b = (\chi - d) + \frac{1}{2}E_g \quad [1]$$

for a generic intrinsic semiconductor, where d is the distance of the Fermi level from $E=0$, the reference vacuum level. It is understood that the bandgap of $\text{Si}_{1-x}\text{Ge}_x$ does not change perfectly linearly with germanium concentration, but it is not known how electron affinity decreases with increasing germanium content. Nevertheless, if the two functions are approximated as linear, then b is also roughly linearly dependent on germanium concentration.

Adding germanium to intrinsic silicon also increases the amount of equilibrium electrons and holes, n_i and p_i , respectively, via the decreasing bandgap:

$$n_i = p_i = (N_c N_v)^{\frac{1}{2}} \exp\left(-\frac{E_g}{2kT}\right) \quad [2]$$

where N_c and N_v are the effective density of states in the conduction and valence bands, respectively, k is Boltzmann's constant, and T is temperature. To simplify the description, N_c and N_v will be assumed to be constant and equal to the values for pure silicon. Again, if E_g 's dependence on germanium concentration is considered linear, then p_i is exponentially related to germanium concentration.

The increased p_i increases the passivation reaction. For the intrinsic situation, it is assumed that the well/barrier is not sharp enough to allow tunneling. This is especially true for $\text{Si}_{1-x}\text{Ge}_x$, with the shallower barrier. Furthermore, the inversion layer at the surface is n-type.

Then the supply of holes to the passivation reaction is h , the amount of holes from the bulk that overcome the potential barrier thermally. Thus, h is a Boltzmann activated process:

$$h = p_i \exp\left(-\frac{b}{kT}\right) \quad [3]$$

Since p_i is exponentially dependent on germanium content while b is linearly related, h is
 5 overall exponentially related to germanium concentration. This can easily be seen by substituting expressions [1] and [2] into [3], yielding:

$$h = (N_c N_v)^{\frac{1}{2}} \exp\left(\frac{-E_g - \chi + d}{kT}\right) \quad [4]$$

where E_g and χ are linearly dependent on germanium content. If a critical hole concentration exists for interrupting the etch process, then a critical germanium concentration will be observed.

10 The potential barrier in the valence band increases as the Fermi level moves closer to the valence band, but the hole concentration is significantly increased by p-doping. In fact, the two effects exactly offset each other. In the extrinsic case, the equilibrium hole concentration, p , is defined as:

$$p = n_i \exp\left(\frac{\frac{E_g}{2} - E_F}{kT}\right) \quad [5]$$

15 $E_g/2 - E_F$ is precisely the change in b when the material is doped. Then, when expression [5] is substituted for p_i in equation [3], $E_g/2 - E_F$ exactly cancels the change in b in expression [3]. Thus, with nondegenerate doping, the value of h never changes from:

$$h = n_i \exp\left(-\frac{b}{kT}\right) \quad [6]$$

where b_i is the height of the barrier in the intrinsic material. Thus, a great advantage of the SiGe etch stop is that the etch selectivity depends only on Ge concentration.

Test structures of structure 110 (WU_3), completely undoped material, were fabricated and probed. The structure 110 (WU_3) did not provide the 'hardest' etch stop available with SiGe alloys because the germanium concentration (15-17%) was near the concentration when etch stop selectivity starts to decrease. The results were very promising as shown in FIG. 9. FIG. 9 is a photograph of a top view of a micromachined proof mass 900. Even at these low Ge concentrations, etched parts like the proof mass in FIG. 9 are possible. Higher Ge concentrations in the uniform layer (30%) result in extremely hard etch stops, with selectivities approaching 1000:1.

It is apparent from cylindrical and top surface etching with EDP and KOH and actual structures micromachined in EDP that relaxed silicon-germanium alloys with sufficient germanium are exceptional etch stops. Selectivities as high as 1000, corresponding to 34% germanium, have been obtained in KOH for the $\langle 100 \rangle$ direction. Neither strain nor defects are responsible for these results. High defect density does not influence the etch rate of $\text{Si}_{1-x}\text{Ge}_x$ dramatically. A plot of relative etch rate versus germanium concentration follows the same shape as p^{++} Si:B data, including a critical concentration and a power-law dependence of the remnant rate. The etch stop behavior in relaxed SiGe alloys is correlated to changes in band structure, which are solely connected to Ge concentration.

The extremely high etch selectivities achieved with the SiGe etch stop material system of the invention have immediate applications in forming semiconductor/oxide structures. One method of forming silicon on insulator is to bond a Si wafer to another Si wafer that is coated

with silicon dioxide. If one of the wafers is thinned, then a thin layer of Si on silicon dioxide/Si is created. Such structures are useful in low power electronics and high speed electronics since the Si active layer is isolated from a bulk Si substrate via the silicon dioxide layer.

The main disadvantage of this process is the difficulty in thinning one side of the silicon substrate-silicon dioxide-silicon substrate sandwich. In order to have high reproducibility and high yield, the entire wafer must be thinned uniformly and very accurately. Buried etch stops have been used with little success. Even buried, thin layers of strained SiGe have been used, but as mentioned earlier these etch demonstrate etch selectivities $\ll 100$, and therefore are not sufficient. The relaxed SiGe alloys of the invention are ideally suited for this type of etch stop. By bonding a structure 1000 of a graded SiGe layer 1004 and a uniform composition layer 1006 on a silicon wafer 1002 to a structure 1008 having a silicon wafer 1010 coated with silicon dioxide 1012, the etch-stop of the invention can be used to create a very uniform relaxed SiGe alloy on silicon dioxide, which in turn is on a silicon wafer. This process is shown schematically in FIG. 10.

Once the structures are bonded through, for example, annealing, the silicon substrate 1002 and graded layer 1004 are selectively etched away. The finished structure 1014 is a SiGe-on-insulator substrate. It will be appreciated that the structure 1008 can also be a bulk insulating material, such as glass or a glass ceramic.

An entire new materials system from which to make highly effective etch stops has been developed. The new system offers many advantages over current technologies. Germanium is isoelectronic to and perfectly soluble in silicon, and hardly diffuses in it. The deposition of silicon-germanium is selective with respect to oxide. Defects do not weaken the etch-stop efficacy. The etch-stop material can be completely undoped, and according to the proposed band structure

model, nondegenerate doping does not influence the etch-stop behavior. This affords incredible utility and design flexibility, especially to integration with microelectronics. To this end, germanium would even afford higher carrier mobilities.

Although the present invention has been shown and described with respect to several
5 preferred embodiments thereof, various changes, omissions and additions to the form and detail thereof, may be made therein, without departing from the spirit and scope of the invention.

What is claimed is:

CLAIMS

1 1. A monocrystalline etch-stop layer system for use on a monocrystalline silicon substrate,
2 said system comprising a graded layer of $\text{Si}_{1-x}\text{Ge}_x$ and a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$.

1 2. A monocrystalline etch-stop layer system for use on a monocrystalline silicon substrate,
2 said system comprising a buffer layer graded up to approximately $\text{Si}_{0.83}\text{Ge}_{0.17}$ and a uniform etch-
3 stop layer of approximately $\text{Si}_{0.7}\text{Ge}_{0.3}$.

1 3. A method of fabricating a monocrystalline etch-stop layer on a silicon substrate
2 comprising:
3 depositing a graded buffer layer of $\text{Si}_{1-x}\text{Ge}_x$ on said silicon substrate; and
4 depositing a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$ on said graded buffer layer.

1 4. A method of fabricating a monocrystalline etch-stop layer on a silicon substrate
2 comprising:
3 depositing a buffer layer grade up to approximately $\text{Si}_{0.83}\text{Ge}_{0.17}$ on said silicon substrate;
4 and
5 depositing a uniform etch-stop layer of $\text{Si}_{0.7}\text{Ge}_{0.3}$ on said graded buffer layer.

1 5. A method of micromachining an integrated device comprising:
2 depositing a graded buffer layer of $\text{Si}_{1-x}\text{Ge}_x$ on a silicon substrate;
3 depositing a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$ on said graded buffer layer;

4 etching portions of said silicon substrate and said graded buffer layer in order to release
5 said etch-stop layer; and
6 processing said released etch-stop layer.

1 6. A method of fabricating a semiconductor structure comprising:
2 depositing a graded buffer layer of $\text{Si}_{1-x}\text{Ge}_x$ on a first substrate;
3 depositing a uniform etch-stop layer of $\text{Si}_{1-y}\text{Ge}_y$ on said graded buffer layer;
4 bonding said uniform etch-stop layer to a silicon dioxide film provided on a second
5 substrate; and
6 removing said first substrate.

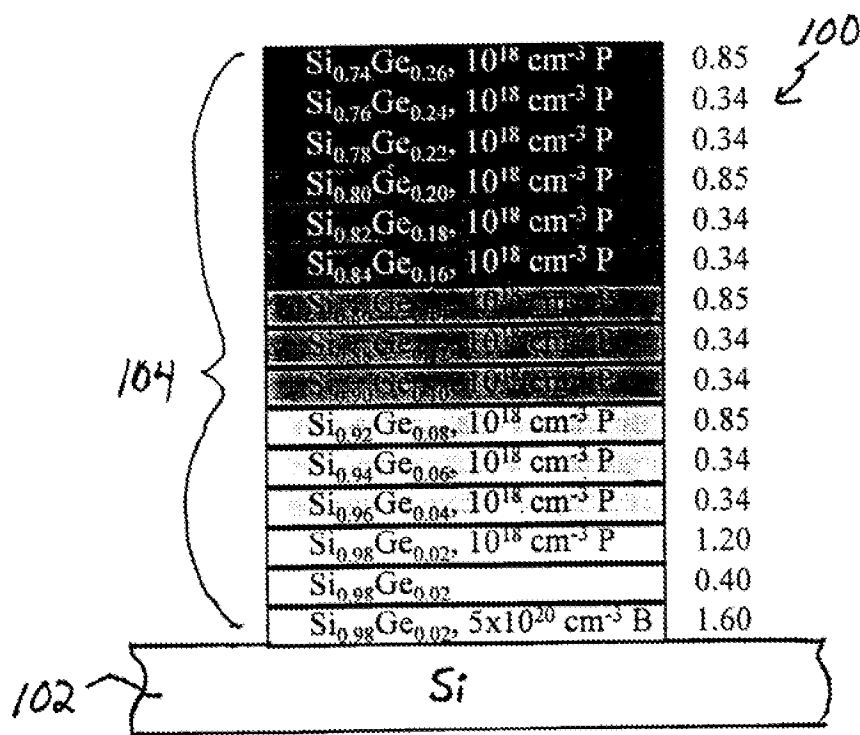


FIG. 1A

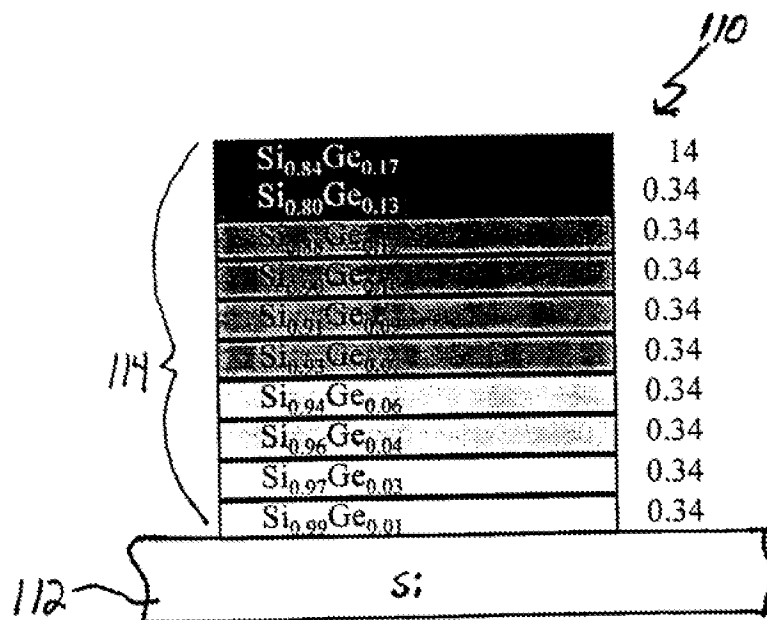


FIG. 1B

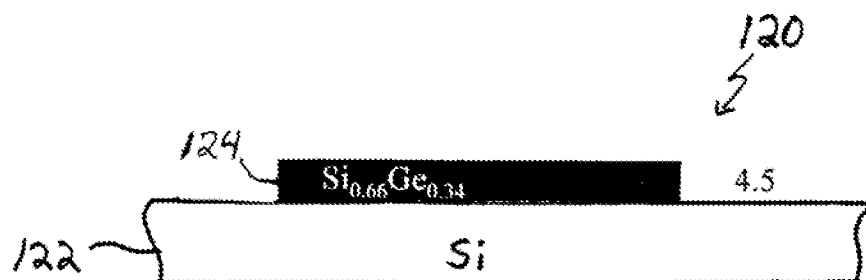


FIG. 1C

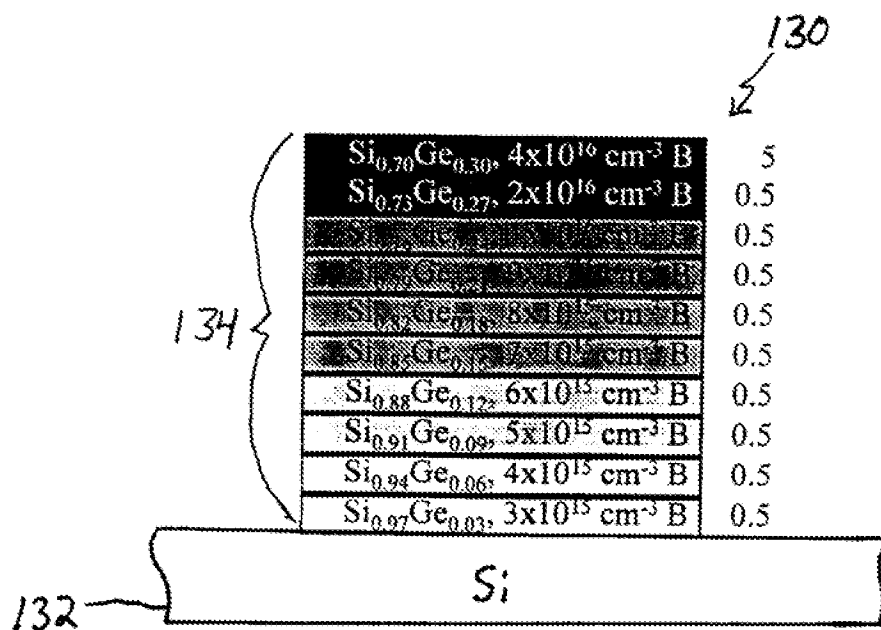
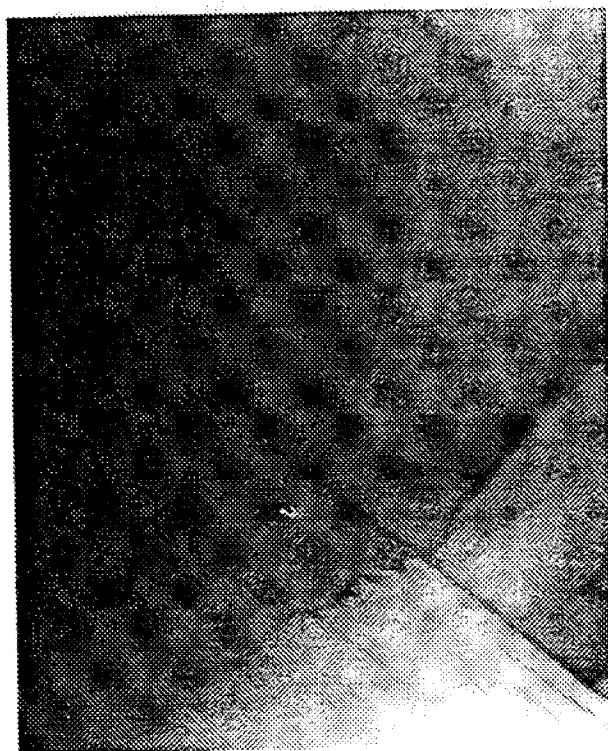


FIG. 1D



____ 1.5 μ m

FIG. 2

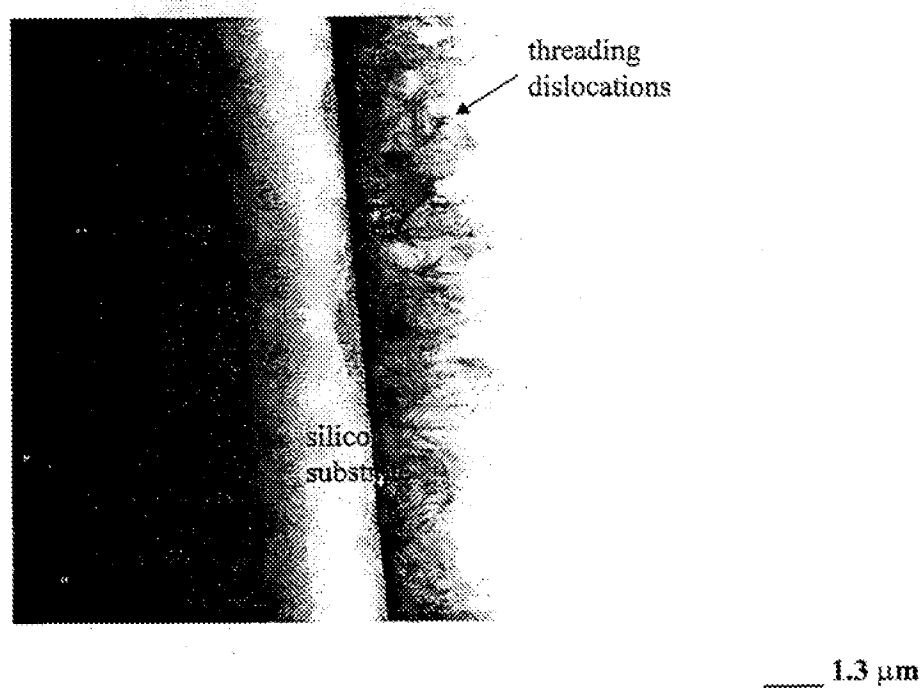


FIG. 3

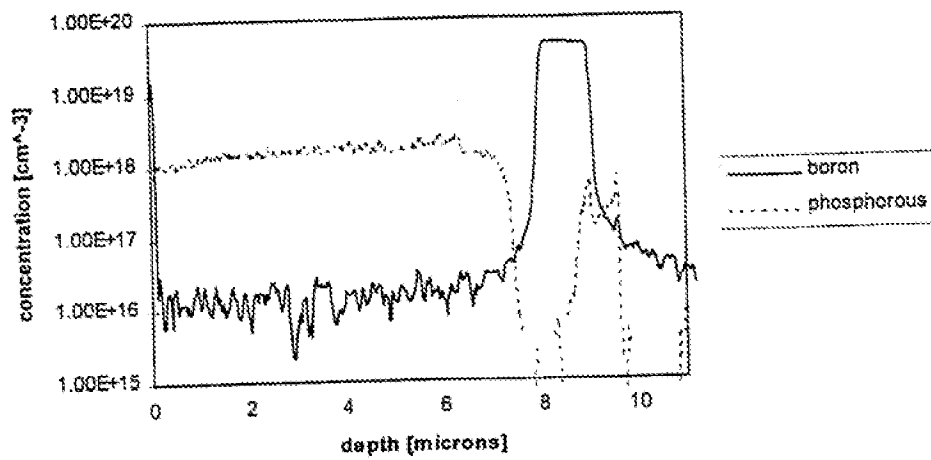


FIG. 4

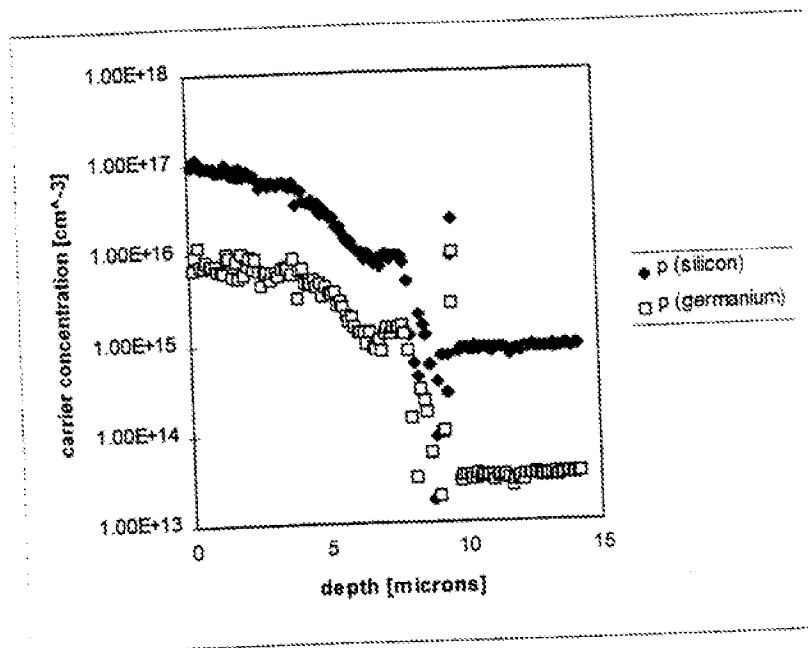


FIG. 5

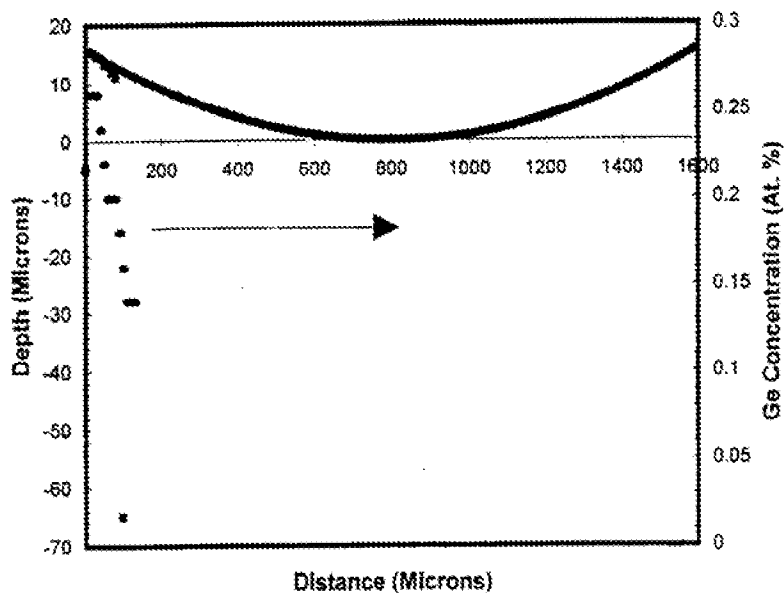


FIG. 6A

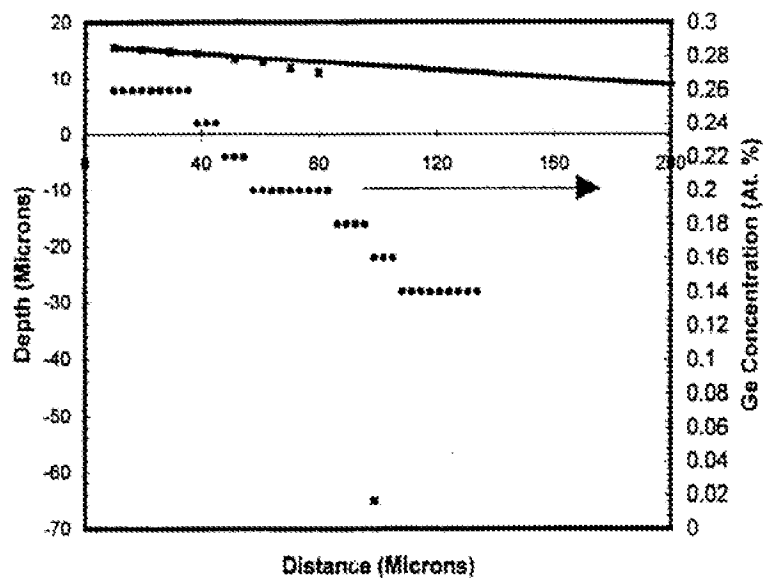


FIG. 6B

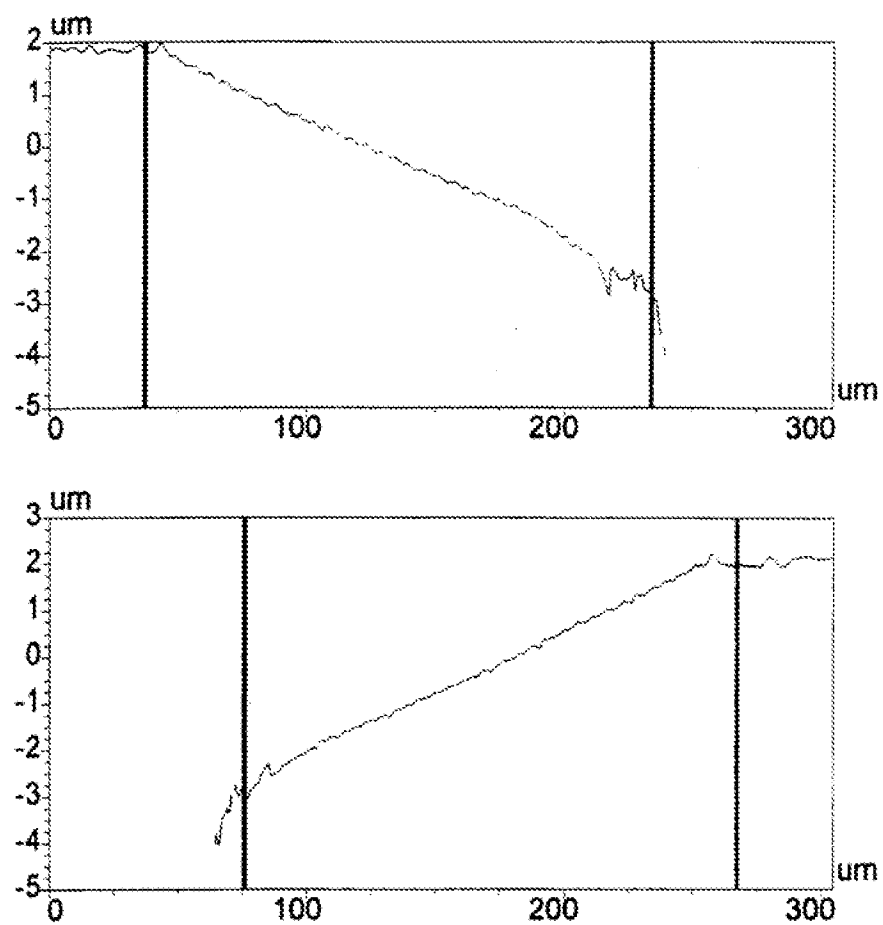


FIG. 7

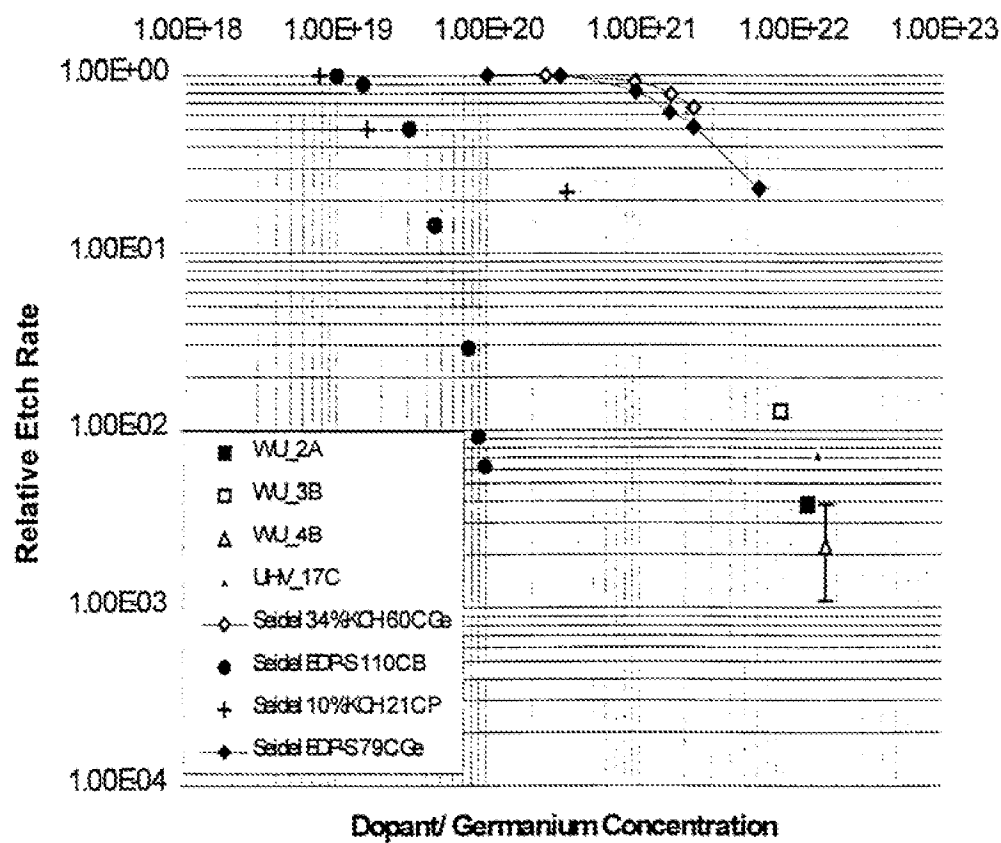


FIG. 8

900
↓

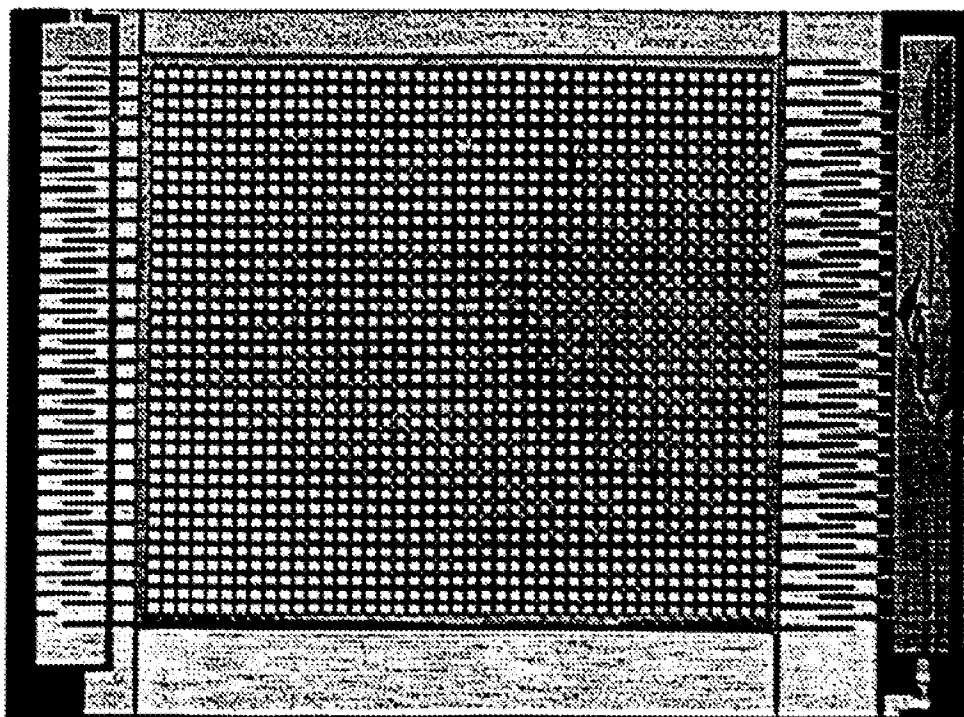


FIG. 9

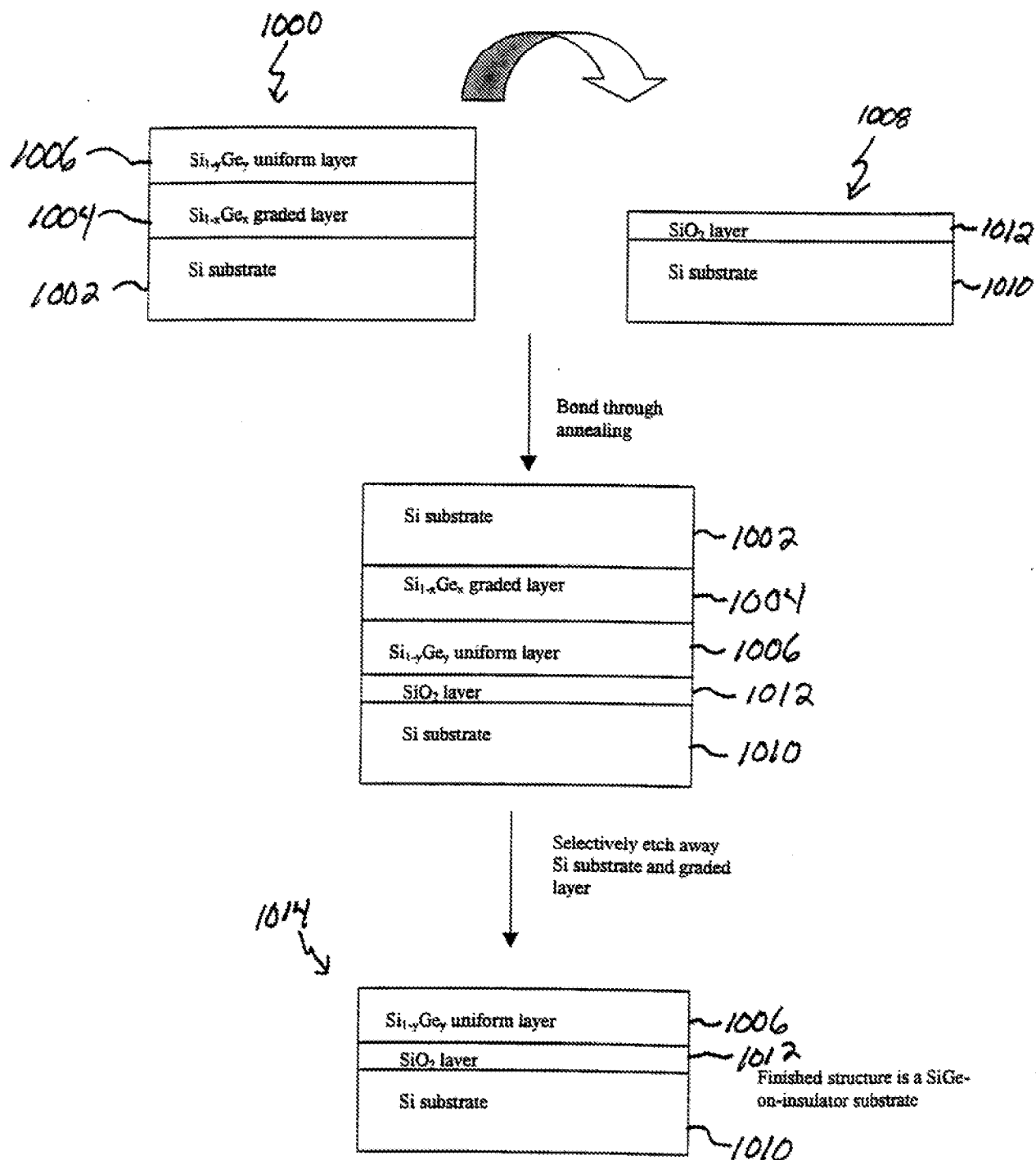


FIG. 10

INTERNATIONAL SEARCH REPORT

Inter. onal Application No

PCT/US 99/07849

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/306

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	FEIJOO D ET AL: "Epitaxial Si-Ge etch stop layers with ethylene diamine pyrocatechol for bonded and etchback silicon-on-insulator" JOURNAL OF ELECTRONIC MATERIALS, vol. 23, no. 6, June 1994 (1994-06), pages 493-496, XP002111024 ISSN: 0361-5235	1,3
A	the whole document ----- -/--	2,4,6



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

2 August 1999

Date of mailing of the international search report

16/08/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 551 spo nl,
Fax: (+31-70) 340-3016

Authorized officer

Köpf, C

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 99/07849

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	FITZGERALD E A ET AL: "Totally relaxed Ge(x)Si(1-x) layers with low threading dislocation densities grown on Si substrates" APPLIED PHYSICS LETTERS, vol. 59, no. 7, 12 August 1991 (1991-08-12), pages 811-813, XP000233762 ISSN: 0003-6951 the whole document -----	1,3
A	US 5 013 681 A (GODBEY DAVID J ET AL) 7 May 1991 (1991-05-07) column 3, line 13 - column 4, line 65 -----	1-4,6
A	US 5 413 679 A (GODBEY DAVID J) 9 May 1995 (1995-05-09) column 3, line 26 - column 5, line 50 -----	1-5
P,X	BORENSTEIN J T ET AL: "New ultra-hard etch-stop layer for high precision micromachining" PROCEEDINGS OF THE 1999 12TH IEEE INTERNATIONAL CONFERENCE ON MICRO ELECTRO MECHANICAL SYSTEMS (MEMS); ORLANDO, FL, USA, 17 - 21 January 1999, pages 205-210, XP002111025 IEEE, Piscataway, NJ, USA	1,3
P,A	the whole document -----	2,4,5

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter. nal Application No

PCT/US 99/07849

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5013681 A	07-05-1991	CA 2066193 A,C EP 0493503 A JP 2684455 B JP 4506587 T KR 9506967 B WO 9105366 A	30-03-1991 08-07-1992 03-12-1997 12-11-1992 26-06-1995 18-04-1991
US 5413679 A	09-05-1995	NONE	